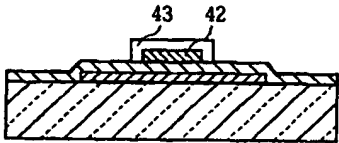
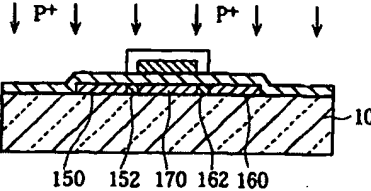
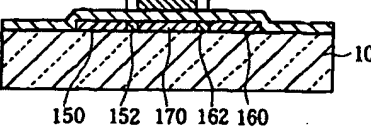




(51) 国際特許分類 H01L 29/786, 21/336	A1	(11) 国際公開番号 WO00/54339  (43) 国際公開日 2000年9月14日(14.09.00)
(21) 国際出願番号 PCT/JP00/01441  (22) 国際出願日 2000年3月9日(09.03.00)  (30) 優先権データ 特願平11/62767 1999年3月10日(10.03.99) JP 特願平11/80051 1999年3月24日(24.03.99) JP 特願平11/83314 1999年3月26日(26.03.99) JP 特願平11/83316 1999年3月26日(26.03.99) JP 特願平11/83319 1999年3月26日(26.03.99) JP  (71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP] 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP)  (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 竹橋信逸(TAKEHASHI, Shin-itsu)[JP/JP] 〒575-0021 大阪府四条畷市南野2-17-12-205 Osaka, (JP) 生田茂雄(IKUTA, Shigeo)[JP/JP] 〒573-0164 大阪府枚方市長尾谷町2-3-1-914 Osaka, (JP)	河北哲郎(KAWAKITA, Tetsuo)[JP/JP] 〒610-0352 京都府京田辺市花住坂3-5-10 Kyoto, (JP) 井上真弓(INOUE, Mayumi)[JP/JP] 〒573-1105 大阪府枚方市南楠葉1-32-30-101 Osaka, (JP) 倉増敬三郎(KURAMASU, Keizaburo)[JP/JP] 〒610-0351 京都府京田辺市大住ヶ丘3-12-2 Kyoto, (JP) (74) 代理人 大前 要(OHMAE, Kaname) 〒540-0037 大阪府大阪市中央区平野町2-3-14 ライオンズビル大手前2階 Osaka, (JP)  (81) 指定国 CN, GB, KR, US  添付公開書類 国際調査報告書	
(54)Title: THIN-FILM TRANSISTOR, PANEL, AND METHODS FOR PRODUCING THEM  (54)発明の名称 薄膜トランジスタとパネル及びそれらの製造方法  (57) Abstract A high-performance TFT especially of LDD type especially for liquid crystal displays. The gate electrode of a top-gate LDDTFT is given a two-stage structure by a chemical reaction and plating. The upper or lower part overlaps a little the other part toward the source and drain electrodes. Impurities are implanted by using the gate electrode having such a structure and a shape as a mask. Before the implantation of impurities, the gate insulating film is removed and a Ti film is formed to prevent hydrogen for dilution from entering. Similar processings are done for an LDD-TFT on the bottom gate side.  <div style="text-align: right;">           (a)~(g)               (h)                        (h')                        (j)                        (k)~(m)           <p>             A...PLATING              B...V SENSOR              C...CONCENTRATION SENSOR              D...TIME, VOLTAGE, AND CONCENTRATION CONTROL           </p> </div>		

(57)要約

特に液晶表示装置用に、性能の優れた特にLDD型のTF Tを提供する。

そのため、トップゲート型のLDDTF Tのゲート電極を化学反応、めっき等を利用して2段構造とし、更に上部若しくは下部が他部に対してソース電極側、ドレイン電極側に少し食み出した形状にする。そして、この構造、形状のもと電極をマスクとして、不純物を注入する。

不純物注入前、ゲート絶縁膜を除去したり、稀釈用水素の侵入防止のためTi膜を形成したりする。

ボトムゲート側LDD-TF Tにおいても、ほぼ同様にする。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AG アンティグア・バーブーダ	DZ アルジェリア	LC セントルシア	SD スーダン
AL アルバニア	EE エストニア	LI リヒテンシュタイン	SE スウェーデン
AM アルメニア	ES スペイン	LK スリ・ランカ	SG シンガポール
AT オーストリア	FI フィンランド	LR リベリア	SI スロヴェニア
AU オーストラリア	FR フランス	LS レソト	SK スロヴァキア
AZ アゼルバイジャン	GA ガボン	LT リトアニア	SL シェラ・レオネ
BA ボスニア・ヘルツェゴビナ	GB 英国	LV ルクセンブルグ	SN セネガル
BB バルバドス	GD グレナダ	LV ラトヴィア	SZ スワジランド
BE ベルギー	GE グルジア	MA モロッコ	TD チャード
BF ブルキナ・ファソ	GH ガーナ	MC モナコ	TG トーゴ
BG ブルガリア	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BJ ベナン	GN ギニア	MG マダガスカル	TM トルクメニスタン
BR ブラジル	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BY ベラルーシ	GW ギニア・ビサウ	共和国	TT トリニダード・トバゴ
CA カナダ	HR クロアチア	ML マリ	TZ タンザニア
CF 中央アフリカ	HU ハンガリー	MN モンゴル	UA ウクライナ
CG コンゴ	ID インドネシア	MR モーリタニア	UG ウガンダ
CH スイス	IE アイルランド	MW マラウイ	US 米国
CI コートジボアール	IL イスラエル	MX メキシコ	UZ ウズベキスタン
CM カメルーン	IN インド	MZ モザンビーク	VN ヴェトナム
CN 中国	IS アイスランド	NE ニジェール	YU ユーゴスラヴィア
CR コスタ・リカ	IT イタリア	NL オランダ	ZA 南アフリカ共和国
CU キューバ	JP 日本	NO ノールウェー	ZW ジンバブエ
CY キプロス	KE ケニア	NZ ニュー・ジーランド	
CZ チェッコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

## 明 細 書

## 薄膜トランジスタとパネル及びそれらの製造方法

5

## 技 術 分 野

本発明は、薄膜トランジスタに関し、特に液晶表示装置の画素スイッチング素子やその駆動回路等に使用されるLDD型の薄膜トランジスタ及びその製造方法に関する。

10

## 背 景 技 術

近年、画素電極毎に薄膜トランジスタ（「TFT」、Thin Film Transistorの略、とも記す）を備えたアクティブマトリックス型表示基板を用いた液晶表示装置やELディスプレイ等が、単純マトリックス型表示装置と比較して高い画質が得られるため盛んに研究されている。更に、ポリシリコン（「p-Si」とも記す）TFTの電子移動度が、非晶質シリコン（「a-Si」とも記す）TFTと比較して1桁から2桁以上高いことに着目して、画素スイッチング素子としてのTFTと駆動回路を同一ガラス基板上に形成した、いわゆる駆動回路内蔵型の液晶表示装置が提案、研究

20 されている。

ところでこの場合、駆動回路に使用する半導体素子そのものとしてのTFTの性質や性能と、液晶表示装置等に使用するという用途の面からのTFTの性質や性能には、幾つかの技術的課題がある。

先ず、どちらかというところ前者の面からの課題であるが、半導体素子の性能という面からは、p-SiTFTはa-SiTFTやMOS型電界効果トランジスタと比較してOFF電流が大きいため、こ

25

れを低減するべく、T F Tのソース領域またはドレイン領域の少なくとも一方に隣接して、低濃度不純物領域（以下「L D D」、L i g h t l y D o p e d D r a i nの略、とも記す）を設けた構造の薄膜トランジスタが、特開平5-136417号公報に開示、提案されている。

しかしながら、単に、L D D構造としたT F Tでは、O F F電流を低減することは可能であるが、T F Tのゲート電極下のチャンネルが反転するO N状態時において、比較的高抵抗層である低濃度不純物領域がチャンネル領域に直列に挿入されることによりO N電流が低下する。

そこで、O N電流の低下を抑えた種々のL D D構造のT F Tが提案されている。[S I D 9 6 D I G E S T p p 2 5 : S a m s u n g 電子（以下、第1の従来例と称する）、E u r o D i s p l a y ' 9 6 p p 5 5 5、A S I A D i s p l a y ' 9 5 p p 3 3 5 : P h i l i p s（以下、第2の従来例と称する）]。

第1の従来例の構成を図1に示す。本図において、10はガラス基板である。150は、p-Siからなる半導体層のソース領域（n+層）である。160は、同じくドレイン領域（n+層）である。170は、同じくチャンネル領域である。

本図において、ゲート電極4を覆うようにサブゲート電極41を設け、その下方のソース側とドレイン側の半導体層にL D D領域（低濃度不純物領域：n-層）151，161を形成した構造となっている。このような構造とすることにより、O F F時には、サブゲート電極41下のL D D領域の半導体層151，161がキャリアの枯渇する高抵抗層となるため、O F F電流は低く抑えられる反面、O N時には、L D D領域151，161はキャリアとなる電子が蓄

積して低抵抗領域となるため、ON電流の減少は起こらない。

なお、実際には基板上には各画素や画素部周辺の駆動回路に相応する位置に、画素の規格等に対応して、縦横方向に、幾行、幾列にもわたってこのTFTが形成されている。またこのため、ゲート電  
5 極、ソース電極及びドレイン電極は層間絶縁膜を介して多層配線構造となっている。ただし、これらは自明の事項であるので、その様子のわざわざの図示は省略し、また以降の実施の形態の説明や図でも個々のその旨の記載も必要最小限とする。

次に、第2の従来例を図2に示す。本図において、10はガラス  
10 基板である。150は、p-Siからなる半導体層のソース領域(n+層)、160は、同じくドレイン領域(n+層)、170は、同じくチャンネル領域である。本図はいわゆるGOLD(gate-drain overlapped lightly-doped drain、ゲートオーバトラップ)構造のTFTであり、具体的には  
15 ゲート電極4が、チャンネル領域170両側の、すなわソース側とドレイン側のLDD領域(n-層)152, 162を覆う構造となっている。この構造でも、第1の従来例と同様に、OFF時には、ゲート電極4下の低濃度不純物領域152, 162がキャリアの枯渇する高抵抗層となるため、OFF電流は低く抑えられる。一方、O  
20 N時には、低濃度不純物領域152, 162は、ゲート電極下にあることもあり、キャリアとなる電子が蓄積して低抵抗領域となるため、ON電流の減少は起こらない。

しかしながら、このようなTFT構造を実現するプロセス課程においてON電流の減少を抑えるため多結晶シリコン半導体層領域に  
25 形成するLDD領域はイオンドーピング法を用いて特定の不純物を注入して形成され、この際特定の不純物(他の技術分野の「不純物」

と異なり、半導体素子の機能発揮のため多結晶シリコン中に積極的に打ち込まれる物質。すなわち「汚染物質」ではない。)を打ち込む(「ドーピング(する)」、「注入」とも言う)時に必要な不純物以外の物質、例えば水素原子等も同時にドーピングされる。そして、特にゲート電極直下の多結晶シリコンのチャネル部に水素がドーピングされると、相互に結合している多結晶シリコン原子間に水素が介在することとなり、電子がトラップされるためTFTのしきい値電圧を高め、更には信頼性を著しく低下させる。

このため、p-Si型TFTでは電気的特性課題を解決するためTFTのソース領域またはドレイン領域の少なくとも一方の領域に隣接して、微小な領域のLDD領域(Lightly Doped Drain)を設けることが必要不可欠である。しかし反面、これら低濃度不純物領域を形成するためには、以下の困難が生じる。

1) 液晶表示装置等の高精細化を実現するためには画素トランジスタを微細にして表示密度を高める必要がある。しかしながら通常、液晶表示装置製造に用いられる露光機は等倍露光方式が主流で画素トランジスタの微細化には自ずと限界が生じる。従って画素トランジスタのチャネル幅(およそ1~数 $\mu\text{m}$ )と同等またはそれ以下(およそ0.1~2、3 $\mu\text{m}$ )の微小な領域の低濃度不純物領域は、その形成がきわめて困難である。

2) サブゲート電極と低濃度不純物領域との重ね合わせはマスク合わせにより行っているため、それらの重ね合わせを自己整合的に(不純物の注入方向から見て、必然的に精度よく重なって)形成することができず、マスク合わせ精度のズレでその低濃度不純物領域の寸法が変動する。ひいては、短時間で製造する等の工程の管理のため、マスク合わせにはマージンが必要であるため、画素TFTの

微細化に限界が生じる。結果的に、マージンを確保する分だけ画素 T F T の占有面積が大きくなる。

3) 画素 T F T の占有面積が大きくなり、それに伴いソース領域、ドレイン領域間の寄生容量が増大し、その結果、動作波形の遅延が生じ、このため液晶表示装置の表示特性が低下する。

4) サブゲート電極形成の際にはゲート電極とは別に電極である金属膜の形成工程、フォトリソグラフィー工程、エッチング工程等が必要となり、更にはフォトリソグラフィーを行うためのフォトマスクが必要となる。すなわち、この G O L D 構造では、単にイオン注入が 2 回必要なだけでなく、斜め回転イオン注入等の複雑な製造工程を必要とする。従って、T F T 製造プロセスは多岐となり、プロセスの長期化、製造コストの上昇、保留まりの低下により液晶表示装置のコストが著しく高価となる。

次に、どちらかという液晶表示装置に使用するという用途の面からの課題は、先の課題と多少重複する面もあるが、以下の通りである。

液晶表示装置に使用される T F T においては、ゲート線の抵抗が高いと、15 インチ、20 インチと大画面になるに従って第 1 に、ゲート線の電気抵抗が問題となる。

すなわち、ゲート信号の遅延が無視できなくなり、画素の応答の遅れが目立つようになる。また、フリッカや画面の表示むら等も生じる。

第 2 に、T F T 特性が問題となる。

T F T 特性では、移動度の向上とオン電流の向上、しきい値電圧の低下と安定化が重要である。そして、これらの特性を向上させるためには、界面の制御が最も重要である。特に、半導体層とゲート

絶縁膜の界面が大きく影響を及ぼす。従って、この界面を良好にすれば、特性が向上することとなる。

さて、この界面を良好なものにする手段の1つに熱処理がある。この熱処理を行う事によって界面欠陥が低減し、各層中に蓄積された電荷が除去され、ひいては界面が向上する。ところで、この熱処理の温度であるが、これは半導体層を形成するシリコンが再結晶化する800～900℃に近いのが望ましい。

しかしながら、表示装置に経済性の面からガラス基板を採用しているため、この面から制限を受ける。すなわち、熱収縮等から定まるガラスの耐熱性より、最高でも600℃程度までしか昇温しえない。

更に都合の悪いことに、ゲート電極を上記第1の問題点の解決のために低抵抗化する手段としてAlやAl合金系の低抵抗金属を用いると、この600℃という、いわば不本意な温度でもヒロックや断線、ショート等が生じかねない。といって、W、Mo、Ta等の高融点金属を用いると、これらの高融点金属は抵抗が高いため、上述の不都合が増大する。

第3に、リーク電流が問題となる。

すなわち、薄膜トランジスタにおいては、オフ領域におけるリーク電流が大きくなると画素の保持特性が劣化する。このため、高精度で優れた画素を得るためには、オフのリーク電流を低減させることがきわめて重要である。さて、従来の薄膜トランジスタにおいては、ドレイン領域近傍における電界強度によってオフのリーク電流が生じる。このため、ゲート電圧をオフ側に大きくしていくと電界強度が大きくなり、ひいてはオフリーク電流も大きくなる。その対策として、従来よりLDD (Lightly Doped Drain



i n) 構造やオフセット構造が採用されている。しかしながら、寸法の面から丁度適当なLDD領域を形成するのが困難である。

第4に、1枚の基板上に画素部とその駆動回路部等役割が相違する部分を形成するが、これら各部に要求されるTF Tの特性が相違する。さてこの場合、素子の形状、チャネル領域やドレイン領域やソース領域の寸法等はフォトリソグラフィでのマスクの設計にて対応する等成しえるものの微細なLDD部は困難である。

第5に、1枚の基板上に画素、画素用TF T、駆動回路用TF Tその他反射板等役割が相違する部分を形成すると、どうしても工程が増加するが、これらの形成を極力共通化しないとコストアップとなりかねない。

このため、電気抵抗が小さくしかも耐熱性の優れたゲート電極の材料を使用し、その結果TF T特性が優れリーク電流も少ない、更にLDD構造を有するのにもかかわらず、製造容易でコスト高とならない半導体素子の実用化が望まれていた。

また、LDD構造を微細かつ高精度で形成し、しかも寄生容量が少ない薄膜トランジスタやその極めて簡単、容易な製造の開発が望まれていた。

また、トップゲート型、ボトムゲート型を問わず、かかる要望を充たすLDD型TF Tの開発が望まれていた。

また、1枚の基板上の各部に、当該部に要求される特性を有するLDD型TF Tが形成された基板の開発、その結果液晶表示装置ならば画素の応答性が迅速でフリッカ等がない大画面の液晶表示装置の開発が望まれていた。

また、LDD型でなくても、p-SiのTF Tにおいては、不純物打ち込み時に稀釈のため使用される水素が、ゲート電極下部のチ

チャンネル領域に侵入し、シリコン結晶を傷め、これがp-SiのTF  
Tの特性を大きく損なうため、その解決も望まれていた。

また、1枚の基板上の各部に異なる特性を有するLDD型TF  
Tを形成し、この際TF Tや基板上の画素や反射板等の他の要素の形  
5 成工程を極力削減しうる技術の開発、あるいはその要求にそえるL  
DD型TF Tの開発が望まれていた。

### 発 明 の 開 示

本発明は、以上の課題を解決することを目的となされたもの  
10 であり、このため特に電気抵抗、不純物の打ち込み等種々の面から  
ゲート電極の材料や構造に工夫を凝らしたものとしている。その他、  
ソース電極やドレイン電極の製作や構造にも工夫を凝らしている。  
また、パネルの製作にも工夫を凝らしている。

具体的には以下の着想をなしている。

#### 15 {第1の発明群}

本発明群は、ゲート電極の改良及びLDD領域形成のためにソー  
ス電極側、ドレイン電極側の端部に不純物注入時に中央部に比較し  
てマスク能力の弱いしかもチャンネル方向長さが短い、微小な部分を  
形成するのにシリサイドを利用するものである。

20 本発明群の1の発明においては、基板上に形成されたソース領域、  
ドレイン領域、ゲート領域を有する半導体層と、ゲート絶縁膜と、  
ゲート絶縁膜上に形成されたソース電極とドレイン電極とゲート電  
極とを有する{その他、トランジスタ(素子)としての機能の発揮  
に必要な層間絶縁膜等の他部も勿論有する}半導体素子において、  
25 ゲート電極はシリサイド薄膜と金属薄膜からなる上下の2層からな  
り、更に上方の層は下方の層を注入される不純物イオンの飛来方向

から見て完全に被覆するように形成されてなり、半導体層は、この多層構造のゲート電極を注入マスクにして不純物イオンを注入することによって形成されたLDD領域を有している。

上記構成により、以下の作用がなされる。

- 5 半導体素子のゲート電極は、1層がシリサイド薄膜であり（未反応等何等かの理由で原料シリコン等他の物質をも多少含んでいる場合もあり得る）他層は金属薄膜である上下の2層からなり、更に上方の層は下方（ゲート絶縁膜側）の層を不純物の飛来する方向（原則として基板上面）から見た場合には完全に被覆するように、そして
- 10 て多くの場合ドレイン電極側若しくはソース電極側の少なくとも一方へLDD構造形成に適切な1～4 $\mu$ m程度（素子の大きさ等条件によりケースバイケースで定まる）食み出して形成されている。

- 半導体層は、この上層が食み出したり、全体の断面が末拡がりの台形等の構造のゲート電極を注入マスクにして上方より不純物イオンを注入することによって、自然とドレイン電極側若しくはソース電極側の少なくとも一方に注入不純物量がチャネル領域より少ないLDD領域を有する。
- 15

- またこのため、ソース領域、ドレイン領域及び狭いLDD領域が、シリサイド薄膜及び金属薄膜の半導体層に占める位置と不純物イオンの注入方向から定まる領域に自然に形成されている。
- 20

- なおまた念のため記すならば、その後の熱処理のため不純物が拡散し、境界が多少不明瞭となっている場合もある。また、不純物イオンの注入方向も多少斜め上の場合もある。しかし、それらもこの発明に含まれる。

- 25 そして、この上部側の第2層の食み出した部分のイオン飛来方向下流側にLDD領域が形成されることとなる。なおこの場合、一方

向側へのみ食み出しているならば、浮遊容量が小さくなる。

他の発明においては、シリサイド薄膜と金属薄膜からなる上下の2層に換えて、同一厚さか否かは別として、シリコン薄膜と金属薄膜とが化学反応する等して、ともかくシリサイド薄膜とシリサイド  
5 薄膜からなる（含む、多少の未反応層部の存在）上下の2層を有している。

上記構成により、LDD領域形成について先の発明と同様な作用がなされる。（なお念のため記載するならば、レーザーアニールで形成された多結晶シリコンは、粒子寸法のずっと大きい、いわば完全  
10 な結晶シリコンと異なり、ガラス基板が耐える程度の温度でも短時間でシリサイドを形成する。）

他の発明においては、ゲート電極は、少くもシリサイド薄膜と金属薄膜と反応し易いアモルファス状等のシリコン薄膜を有する多層  
15 からなり、更に不純物注入時のマスクとしては中央部が最も厚く、両端部が最も薄く、その中間部は中間の厚さ若しくは更に両側より中央側へ向かって除々に厚くなる多段LDD形成マスク兼用ゲート電極である。

上記構成により、多段LDD領域を有することとなる。

他の発明においては、ゲート電極は、モリブデン、タングステン、  
20 タンタル、ニオブ、TZM、TZC等の高融点金属（含む、合金）薄膜からなる層と、シリサイド薄膜からなる層と、高融点金属薄膜層とシリサイド薄膜層に囲まれたアルミニウム薄膜からなる層とを有している含中間アルミ層ゲート電極であり、半導体層は、含中間アルミ層ゲート電極を注入マスクにして上方より不純物イオンを注  
25 入することによって形成された単段若しくは多段のLDD領域を有するLDD半導体素子である。

上記構成により、以下の作用がなされる。

ゲート電極は、含中間アルミ層ゲート電極であり、このため、基板の熱処理温度ではアルミニウムと事実上反応し難く、変形等しない高融点金属薄膜からなる層と、同様の性質を有するシリサイド薄膜からなる層と、高融点金属薄膜層とシリサイド薄膜層に囲まれた、そして基板の熱処理時には両層から保護される電気抵抗の低いアルミニウム薄膜からなる層とを有していることとなり、電気抵抗が低く耐熱性も良好となる。

他の発明においては、シリサイド層は、チタンシリサイド、コバルトシリサイド、ニッケルシリサイド、ジルコニウムシリサイド、モリブデンシリサイド、パラジウムシリサイド、白金シリサイドの群より選択された特定材料シリサイド層である。

上記構成により、シリサイド層は、電気抵抗の低いチタンシリサイド ( $TiSi_2$ 、 $TiSi$ 、 $Ti_5Si_3$ )、コバルトシリサイド ( $CoSi_2$ 、 $Co_2Si$ 、 $CoSi$ 、 $CoSi_3$ )、ニッケルシリサイド ( $Ni_2Si$ 、 $NiSi$ 、 $NiSi_2$ )、ジルコニウムシリサイド ( $ZrSi_2$ 、 $ZrSi$ 、 $Zr_2Si$ )、モリブデンシリサイド ( $MoSi_2$ 、 $Mo_3Si$ 、 $Mo_5Si_3$ )、パラジウムシリサイド ( $Pd_2Si$ 、 $PdSi$ )、白金シリサイド ( $Pt_2Si$ 、 $PtSi$ ) の群より選択される。

なお、各金属シリサイドの分子式は、例示列举である。

他の発明においては、少くも1の金属薄膜は、構成する金属元素がシリサイドを構成する金属元素と同一の同一材料金属薄膜である。

上記構成により、第1層のシリサイドがパラジウムシリサイドならばパラジウム薄膜である等第1層と同一の金属元素が材料として使用されることとなり、シリサイド層形成や材料の手配が便利とな

る。

他の発明においては、以上のLDD型TFTの製造方法である。

{第2の発明群}

本発明群は、LDD型TFT製造のために、不純物注入時のマスクを兼ねるためその厚さが複数段に変化するゲート電極を形成する  
5 のに、ゲート絶縁膜上に既に形成されたゲート電極構成材層を基にしてのメッキ、酸化、陽極酸化等の処理、その他フォトリソグラフィとエッチング等を使用するものである。

本発明群の1の発明においては、第1の発明群の第1の発明と同  
10 様に、ゲート電極を不純物注入時のマスクに兼用してLDD構造とするため、下部電極を利用してその上部に上部電極を形成したりするが、この際、ソース電極側若しくはドレイン電極側の少くも一方側は、上部電極か下部電極の一方が他方より多少食い出し、かつ当該食い出し部のマスク能力は、完全でないようにしている。

15 上記構成により、以下の作用がなされる。

半導体層は、ゲート電極の中央部の直下にチャネル領域が、その少くも一方の側の食い出し部直下にはLDD領域が、更にそれら以外の領域には、各々ソース領域とドレイン領域が形成される。

他の発明においては、上部ゲート電極は既に形成された原則として密度の大きな材料からなる下部ゲート電極に原則として密度の小さな材料からなる金属薄い膜をめっきして形成される。(勿論、下部ゲート電極膜厚さ或いは遮蔽、マスク能力とめっき厚さその他材料の以下によつては、密度が常にそうとは限らない。)

上記構成により、以下の作用がなされる。

25 めっきであるため、非常に薄く、厚さの精度も良く、更に下部ゲート電極に対して位置も正確に上部ゲート電極が形成される。

他の発明においては、めっきは電界めっき若しくは無電界めっきである。

これにより、材料選択等の幅が広がり、廃棄物処理等に都合がよい。

- 5      なお、めっきで上部ゲート電極を形成する場合には、事前に何らかの処理を施さない限り、下部電極側部への食み出し部はソース電極側とドレイン電極側の両方に形成され、また下部電極の上面にもめっきがなされるのは勿論である。

- 10      他の発明においては、上部ゲート電極材料を陽極酸化させてLDD形成用マスクが形成される。

他の発明においては、Mo、Fe等の下部ゲート電極を所定の物体、例えば酸素等の気体と反応させ、酸化物をその上面、側面に形成する等の化学反応を利用して上部のLDD形成用マスクが形成される。

- 15      上記構成により、以下の作用がなされる。

この場合も、反応開始時の温度、流体圧等を制御して、位置決め、厚さ等も正確な上部ゲート電極が形成される。

- 20      なおこの場合、下部ゲート電極材料と反応物体の組合せ如何によつては、電気抵抗が高いため、事実上上部ゲート電極としては作用せず、単にマスクの機能を有するだけのこともある。このときには、不純物注入後、反応結果物としての上部ゲート電極はエッチング等にて除去されたり、絶縁膜の役を担ったりするのが原則である。

- 25      他の発明においては、先ずしっかりしたマスク機能のある下部ゲート電極を形成し、最初軽く不純物を打ち込み、この後、下部ゲート電極上部にそのソース電極側、ドレイン電極側の少くも一方に食み出したそしてしっかりしたマスク機能のある上部ゲート電極をめ

つき等で形成し、更にこの下で不純物を本格的に打ち込む。

上記構成により、以下の作用がなされる。

これにより、2度の不純物打ち込みが必要ではあるが、食み出した上部ゲート電極の下部にLDD領域を有するTF Tが製造される。

- 5   他の発明においては、上部ゲート電極の下部ゲート電極側端部の食み出しは、少くもフォットソングラフィとエッチングを使用することにより形成される。

上記構成により、以下の作用がなされる。

- 10  下部ゲート電極と上部ゲート電極の位置のずれが少ないLDD構造形成のためのマスクを兼ねたゲート電極が形成される。

なお、ケースによりこれらに併せて陽極酸化等他の手段も採用される。更に、レジストがマスクの一部を構成することも有りえる。

- 15  他の発明においては、上下2段かつ上部が下部に対して食み出した構造のマスク兼ゲート電極の食み出し部を不純物注入後除去することとしている。

上記構成により、以下の作用がなされる。

- 20  一枚の基板上に、相互に別の特性を有するLDD-TF Tを形成可能となる。特に、同一基板上で素子の担う役割、要求される性能に対応しての一部領域にのみ、このLDD型TF Tを形成することにより、各種用途に最適な基板となる。  以上の他、第1の発明群、第2の発明群共、その幾つかの発明は上下のゲート電極材料として、密度が8以上、好ましくは10以上、更に好ましくは13以上、具体的にはTa、W等の密度が大若しくは特にTiやそれを主成分とする合金等の水素の吸着力の大きな金属等（その他、シリサイド）ある  
25  いはこれらの合金や混合物（例えば、WとTi）からなるため不純物打ち込み時水素が透過しにくいこととなる材料と電気抵抗の低



い材料とを使用している。

{ 第 3 の 発 明 群 }

本発明群は、先の第 1 の発明群及び第 2 の発明群に加えて更に不  
純物打ち込み時には、それに先立ってマスク兼ゲート電極直下部以  
5 外の領域のゲート絶縁膜を一旦除去しておき、当該の領域のゲート  
絶縁膜を不純物注入後に再度形成するものである。

上記構成により、以下の作用がなされる。

ゲート絶縁膜が存在しないため、不純物打ち込み時の加速電圧が  
その分少なくて済み、ひいてはチャネル領域、ソース領域、ドレイ  
10 ン領域、LDD領域を問わず、不純物の稀釈に使用される水素が高速  
で打ち込まることによる多結晶半導体の損傷がその分少なくなる。

なお、ゲート絶縁膜除去に伴う多結晶半導体の損傷の極限、回復  
のための熱処理等が必要に応じてなされるのは勿論である。

{ 第 4 の 発 明 群 }

15 本発明群は、特に先の第 3 の発明群に加えて更に、不純物打ち込  
み時に不純物稀釈用の水素が多結晶半導体内に侵入するのを極力防  
止するため、一旦ゲート絶縁膜を除去した多結晶半導体上表面に水  
素吸収能力の優れたTiやZiの膜を形成しておくものである。

上記構成により、以下の作用がなされる。

20 Ti等、更にはTi等に吸収された水素が不純物に併せて打ち込  
まれてくる水素を物理的、化学的に吸着し、減速し、水素が高速で  
多結晶半導体内へ侵入するのを防止する。なお、これらの金属は、  
特にTiは、密度が小さいため不純物の打ち込みに対しては、そう  
障害にならないのは勿論である。

25 このため、LDD-TFTの性能が一層向上する。

他の発明においては、不純物注入時の水素ストッパーのTi等を、

ソース電極とドレイン電極形成部には残しておき、後の熱処理で多結晶シリコンと反応させてシリサイド膜を形成する。

上記構成により、以下の作用がなされる。

- ソース電極、ドレイン電極と多結晶シリコンとの電氣的接触がシリサイド層を介して大きく改善される。

更に、ソース電極、ドレイン電極形成のためにコンタクトホールを穿ける際、シリサイド膜若しくはその上面に残った未反応のTi等の層がエッチングストッパーの役を担う。

{ 第 5 の 発 明 群 }

- 10 本発明群は、以上の第1から第4の発明群がトップゲート型であるのに対して、ボトムゲート型であるのが相違し、他は大凡同じである。

但し、ゲート電極に正確に対応した位置にマスクを形成するため、基板側から光やX線を照射して樹脂を露光する等特有の構成もある。

- 15 { 第 6 の 発 明 群 }

本発明群は、以上の第1から第4の発明群がLDD型であるのに対して、非LDD型であるのが相違する。本発明の目的は、チャネル領域下部への水素の侵入防止を図りつつ抵抗の低いゲート電極を得ることにある。

- 20 このため、1の発明では、ゲート電極を2層とし、一層は電気抵抗の小さい材料で形成し、多層は高密度金属や水素吸着性金属等としている。

また、他の発明では、不純物打ち込み時にゲート絶縁膜を一旦除去する。

- 25 また、他の発明では、水素侵入防止のため、ゲート絶縁膜を一旦除去した後Ti膜を形成する。なお、この膜は、不純物打ち込み後

原則として除去される。

{ 第 7 の 発 明 群 }

本発明群は、以上の発明群が特に L D D 型の T F T を対象としているのに対して、それらを使用した基板に関するものである。

- 5        1 の発明においては、一枚の基板上各部に当該部の役割に応じた特性の L D D 型 T F T が形成されている。

他の発明においては、一枚の基板上各部に当該部の役割に応じた様々の部品、膜、層が形成されるが、それらの形成と上記各発明群の L D D 型 T F T の形成が可能な限り共通化されている。

10

図 面 の 簡 単 な 説 明

図 1 は、従来技術の L D D 構造の薄膜トランジスタの断面を示す図である。

- 図 2 は、従来技術の G L D 型の L D D 構造の薄膜トランジスタ  
15        の断面を示す図である。

図 3 は、本発明の第 1 - 1 の実施の形態の半導体素子の断面図である。

図 4 は、上記実施の形態の半導体素子の形成工程に伴う断面の変化を示す図の前半である。

- 20        図 5 は、上記図 4 の後に続く形成工程に伴う断面の変化を示す図である。

図 6 は、本発明の第 1 - 2 の実施の形態の半導体素子の形成工程に伴う断面の変化を示す図である。

- 図 7 は、本発明の第 1 - 3 の実施の形態の半導体素子の断面図  
25        である。

図 8 、    本発明の第 1 - 4 の実施の形態の半導体素子の断面と

その原理を示す図である。

図 9 は、本発明の第 1 - 5 の実施の形態の半導体素子の断面図である。

図 10 は、本発明の第 1 - 6 の実施の形態の半導体素子の原理  
5 と断面を示す図である。

図 11 は、本発明の第 2 - 1 の実施の形態の薄膜トランジスタの断面図である。

図 12 は、上記実施の形態の薄膜トランジスタの製造工程の前半を示す図である。

10 図 13 は、上記実施の形態の薄膜トランジスタの製造工程の後半を示す図である。

図 14 は、本発明の第 2 - 2 の実施の形態の薄膜トランジスタの製造工程の要部を示す図である。

図 15 は、本発明の第 2 - 3 の実施の形態の薄膜トランジスタ  
15 の製造工程の要部を示す図である。

図 16 は、本発明の薄膜トランジスタを使用した液晶パネルの画素 T F T の平面と断面を示した図である。

図 17 は、本発明の薄膜トランジスタを使用した液晶パネルの他の画素 T F T を示した平面と断面の図である。

20 図 18 は、本発明の第 2 - 5 の実施の形態の T F T の断面を模式的に示した図である。

図 19 は、上記実施の形態の T F T 製造方法を模式的に示した図である。

図 20 は、上記実施の形態の T F T の電圧 / 電流特性を示す図  
25 である。

図 21 は、上記実施の形態の T F T アレイを使用した画素電極

を模式的に示した図である。

図 2 2 は、上記実施の形態の T F T アレイを使用した画素電極の製造方法の要部を模式的に示した図である。

図 2 3 は、本発明の第 2 - 7 の実施の形態の T F T の製造方法  
5 を模式的に示した図である。

図 2 4 は、本発明の第 2 - 8 の実施の形態の T F T の製造方法を示した図である。

図 2 5 は、上記実施の形態の T F T 電圧 / 電流特性を示す図である。

10 図 2 6 は、本発明の第 2 - 9 の実施の形態の T F T アレイを模式的に示した図である。

図 2 7 は、上記実施の形態の T F T アレイの製造方法を模式的に示した図である。

図 2 8 は、本発明の第 2 - 1 0 の実施の形態の T F T アレイの  
15 製造方法を模式的に示した図である。

図 2 9 は、本発明の第 2 - 1 1 の実施の形態の T F T アレイの製造方法を模式的に示した図である。

図 3 0 は、本発明の第 3 - 1 の実施の形態の T F T アレイの製造方法を模式的に示した図である。

20 図 3 1 は、本発明の第 3 - 2 の実施の形態の T F T アレイの製造方法を模式的に示した図である。

図 3 2 は、本発明の第 4 - 1 の実施の形態の T F T アレイの製造方法を模式的に示した図である。

図 3 3 は、本発明の第 5 - 1 の実施の形態の T F T アレイの製  
25 造方法を模式的に示した図である。

図 3 4 は、本発明の第 5 - 2 の実施の形態の T F T アレイの製

造方法を模式的に示した図である。

図 3 5 は、本発明の第 7 - 1 の実施の形態の T F T アレイの製造方法を模式的に示した図である。

図 3 6 は、本発明の第 7 - 2 の実施の形態の T F T アレイの製造方法を模式的に示した図である。

(符号の説明)

	1	p - S i 半 導 体 ( 層 )
	1 0 0	a - S i 半 導 体 ( 層 )
	1 5 0	同 上 ( ソース領域 )
10	1 5 1 、 1 5 2	同 上 ( ソース側 L D D 部 )
	1 5 6	同 上 ( 多段 L D D 部 )
	1 5 6 2	同 上 ( L D D 部 )
	1 6 0	同 上 ( ドレイン領域 )
	1 6 1 、 1 6 2	同 上 ( ドレイン側 L D D 部 )
15	1 7 0	同 上 ( チャネル領域 )
	1 7 5	同 上 ( ソース電極側 )
	1 7 6	同 上 ( ドレイン電極側 )
	2	ゲート絶縁膜
	2 5	ゲート絶縁膜 ( ソース電極側 )
20	2 6	ゲート絶縁膜 ( ドレイン電極側 )
	3	層間絶縁膜
	4	ゲート電極
	4 1	サブゲート電極、上部ゲート電極
	4 1 3	下部シリサイドゲート電極
25	4 1 3 0	アモルファスシリコンゲート電極
	4 1 4	上部金属ゲート電極

	4 1 4 1	上部金属ゲート電極の食み出し部
	4 1 5	シリサイドゲート電極
	4 1 6	下部金属ゲート電極
	4 1 7	中部金属ゲート電極材料
5	4 2	下部ゲート電極
	4 2 1	第1の下部ゲート電極
	4 2 2	第2の下部ゲート電極
	4 3	上部ゲート電極
	4 3 1	第1の上部ゲート電極
10	4 3 2	第2の上部ゲート電極
	4 3 5	上部ゲート電極ソース側食み出し部
	4 3 6	サブゲート電極ドレイン側食み出し部
	4 7	下部打ち込みマスク
	4 8	上部打ち込みマスク
15	4 9	感光性樹脂
	5	ソース電極
	5 1	ソース電極上部
	5 2	ソース電極下部（シリサイド）
	6	ドレイン電極
20	6 1	ドレイン電極上部
	6 2	ドレイン電極下部（シリサイド）
	9	コンタクトホール
	9 5	コンタクトホール（ソース電極側）
	9 6	コンタクトホール（ドレイン電極側）
25	1 0	ガラス基板
	1 1	画素電極

1 2	アンダーコート膜
1 3	レジスト膜
1 4	配向膜
1 8	チタン膜
5 1 9	露光用マスク

### 発 明 の 実 施 の 形 態

以下、本発明をその好ましい実施の形態に基づいて説明する。

#### { 第 1 の 発 明 群 }

- 10 (第 1 - 1 の実施の形態、構造面) (注: 第 1 - 1 の実施の形態とは、特に第 1 の発明群の第 1 の実施の形態という意味である。またこのため、他の発明群の構成が入っている場合もある。)

本実施の形態は、シリサイドを利用するものである。

- 15 図 3 は、本第 1 の発明群の第 1 の実施の形態としての T F T の断面図である。 本図に示すように、この T F T は絶縁性基板 1 0 上に半導体層 1 が形成され、ゲート絶縁膜 2 上にゲート電極 4 が形成され、更にこのゲート電極を注入マスクとして半導体層に不純物イオンを注入することにより、図でその下部の左右両側の部分の半導体層にソース領域 1 5 0 とドレイン領域 1 6 0 が形成されている。
- 20 更にまた、層間絶縁膜 3 が形成され、ソース領域とドレイン領域の上部の層間絶縁膜に形成されたコンタクトホール内の接続部を利用してソース電極 5 とドレイン電極 6 が形成されている。このため、基本的な構成は、図 1 に示す従来のもと同じである。

- 25 ただし、ゲート電極は、ゲート絶縁膜上に形成されたシリサイド層を含む下部のシリコン層 4 1 3 とその層を上部より覆うように形成された金属層 4 1 4 よりなる多層 (略 2 層) 構造であり、更にそ



のソース電極及びドレイン電極側の端部 4 1 4 1 の構造に工夫を凝らすと共に、図でその下部のチャンネル領域の半導体層が L D D 構造となっているのが相違する。以下、これらの相違点を中心に説明する。

- 5      まず、ゲート電極部シリコン層のシリサイドは、チタンシリサイド、コバルトシリサイド、ニッケルシリサイド、ジルコニウムシリサイド、パラジウムシリサイド、白金シリサイド等を用いて形成されている。そして、これらのシリサイド層を用いることによってゲート電極の抵抗を低下させることが可能となっている。
- 10      例えば、チタンシリサイドを用いた場合には、電極のシート抵抗は  $13 \mu\Omega / \square$ 、コバルトシリサイドであれば  $20 \mu\Omega / \square$ 、ニッケルシリサイドで  $40 \mu\Omega / \square$ 、ジルコニウムシリサイドで  $35 \mu\Omega / \square$ 、パラジウムシリサイドで  $35 \mu\Omega / \square$ 、白金シリサイドで  $30 \mu\Omega / \square$  と従来の高融点金属を用いる場合より抵抗を小さくす
- 15      ることができる。

次に、金属層 4 1 4 がこのシリコン層を完全に覆い被って形成され、更にゲート絶縁膜 2 上ではシリサイド層より金属層 4 1 4 の方がソース電極側、ドレイン電極側へ片側で数  $\mu\text{m}$  程度食い出した構造 4 1 4 1 となっている。

- 20      なお、この金属層は電気抵抗が小さいという面からはアルミやその合金が好ましく、熱処理時の耐熱性からはタングステン、モリブデン等の高融点金属が好ましい。ただし、必ずしもこれらの金属に限定されるわけではなく、マスクを兼ねたゲート電極としての作用を適切になし、高さ等、他の要求をも充たすならば、基本的にはど
- 25      のような金属でもよい。

そしてその厚さは金属の種類、特に不純物イオン注入時の遮蔽効

果に影響する密度と原子量、によって異なるが大凡数100・～数千・程度である。例えばTi（チタン）を用いた場合には、その厚さは加速電圧、注入イオン種によっても異なるが約500～1000・程度が適当である。

- 5     そして、この様な構造をとるゲート電極を注入マスク（遮蔽）としてその上方よりP、B等の不純物イオンの注入を行うことが可能となる。

従って、電極下部の半導体層が自然とLDD構造となるようになっているのも従来のものと異なることになる。以下、これについて  
10    少し詳しく説明する。

この場合のイオンの注入条件であるが、加速電圧は50～70KeVが、注入量は $1.0 \times 10^{15}$ （10の15乗）～ $8.0 \times 10^{15} / \text{cm}^2$ が適当である。このときゲート絶縁膜2の厚みは800～1200・程度である。

- 15    この注入の結果、例えばnチャネルのトランジスタの場合にはPイオンが注入される。そして、不純物イオンの飛来する方向（原則、上方）にゲート電極がない領域にはPイオンが十分に注入されてn<sup>+</sup>層が形成され、ソース領域150とドレイン領域160を形成する。

- 20    一方、シリサイド層と金属層が積層されている部分は、これらの層がPイオンの遮蔽膜となって全くPイオンは注入されることがない。従って、この領域が本来のチャネル領域170となる。

ゲート絶縁膜2上にシリコン層を食み出して金属層のみが形成されている部分4141のイオン飛来方向直下部の領域では、金属層  
25    の厚みでは完全には注入イオンを遮蔽する事はできないため、不純物イオンが少し注入される。例えば上述のTi膜を金属層に用い、

上述のイオン注入条件で注入を行うと、 $1.0 \times 10^{14} \sim 5.0 \times 10^{14} / \text{cm}^2$  程度のイオンが注入される。

以上の結果、この部分は n- 層 151、152 を形成することとなる。この結果、全体として精度の高い LDD 構造を 1 回の注入で容易に形成することが可能となる。

なお、本実施の形態の変形例として、上部の金属薄膜に換えて、再度シリサイド薄膜を、下方のシリサイド薄膜のチャネル方向に多少食い出す様にして形成しても良いのは勿論である。

(第 1 - 1 の実施の形態、製造方法面)

10 次に、図 4 及び図 5 を参照しつつ図 3 に示す構造の LDD 型 TFT の製造方法について説明する。

まず、図 4 を用いて説明する。なお、図 4 と図 5 は、本来一の図面 (図番) とすべきものであるが、用紙への記載スペースの都合で 2 葉 (図面) としたものである。

15 (a) 無アルカリガラス基板 10 上に下地 (アンダーコート) 膜 12 として  $\text{SiO}_2$  膜を形成する。

(b)  $\text{SiO}_2$  膜全面にアモルファスシリコン (a-Si) 100 を形成し、更にこのアモルファスシリコンをエキシマレーザーの照射によるアニール (溶融、再結晶化) によって多結晶 (ポリ) シリコン (単一や大きな粒子からなるシリコン) 化する。しかる後、  
20 基板上の画素部やその周辺の駆動回路部の配置から定まるトランジスタ (素子) を形成する領域のみにこのポリシリコン膜 100 を残し、他の部分のものは除去する。すなわち、いわゆる孤立化、パターンニングをする。なお、上述の理由により、本図 4、図 5 では、  
25 この孤立化されたポリシリコン膜を、ひいては 1 個の半導体素子についての各部等を示している。

(c) 全面にゲート絶縁膜 2 を形成する。この場合のゲート絶縁膜の厚みは膜質、トランジスタの大きさに依存するが、ここでは A P C V D 法または T E O S プラズマ C V D 法によって形成した 8 0 0 ~ 1 2 0 0 ・ 程度の S i O 2 を用いた。

5 (d) パターニングした各ゲート絶縁膜上全面にゲート電極形成用のシリサイド膜を形成し、ゲート電極に対応した位置にのみこの形成したシリサイド膜を残し 4 1 3、他の部分のシリサイド膜は除去する。なお、本実施の形態ではチタンシリサイド膜を用いたが、他のシリサイドを用いても良いのは勿論である。なおまた、形成方法  
10 はスパッタ法を用いた。

(e) 次の図 4 に示す形状のゲート電極を形成するため、パターニングしたシリサイド膜上全面に金属膜 4 1 4 を形成し、更にソース電極側及びドレイン電極側の端部がシリサイド膜より約 1 ~ 4  $\mu$  m 程度食み出すようにする。すなわち、パターニングする。

15 その結果、下方のシリサイド層は上方の金属層で完全に覆い被さる構造となる。この場合の、金属膜としては T i 膜を用いた。そして、厚さは約 5 0 0 ~ 1 0 0 0 ・ 程度とした。

次に、図 5 に移る。

(f) この状態で、n チャネルの薄膜トランジスタを形成するため、P イオンを基板上面より注入する。注入条件は、加速電圧が 6  
20 0 ~ 7 0 K e V、注入量は 1 . 0 E 1 5 ~ 5 . 0 E 1 5 / c m 2 である。このとき 2 層構造のゲート電極が形成されていない領域の多結晶シリコンは、上記の量の p が注入されて n + 層が形成され、ソース領域 1 5 0 及びドレイン領域 1 6 0 が形成される。

25 一方、ゲート電極下で金属層のみがゲート絶縁膜上に形成されている領域、すなわち金属層のドレイン電極側及びソース電極側の端

部 4 1 4 1 では、注入された P イオンが一部この金属層の端部で遮蔽されるが、残りの一部は下層のポリシリコン層に注入される。これによって、この領域には n - 層 1 5 2、1 6 2 が形成される。これによって、一回のイオン注入で自然に精度の高い L D D 構造が容易に形成されたことになる。

( g ) 次に、基板全面に層間絶縁膜 3 を形成する。この膜は、例えば A P C V D や T E O S プラズマ C V D による S i O<sub>2</sub> 膜を用い、厚さは約 6 0 0 0 ~ 9 0 0 0 ・程度とした。

10 ( h ) 最後に、ソース領域とドレイン領域に相当する部分にコンタクトホールを形成し、更に、金属膜を形成して金属を埋め込み、不必要な部分を除去してソース電極 5 とドレイン電極 6 を、更には必要な接続配線 ( 図示せず ) 等を形成した。これにより薄膜トランジスタが完成した。

( 第 1 - 2 の実施の形態 )

15 次に、本発明群の第 2 の実施の形態 ( 製造方法 ) を図 6 を用いて説明する。

本実施の形態の薄膜トランジスタは、ゲート絶縁膜形成第 1 実施例と ( 図 4 の ( c ) ) までは、先の第 1 の実施の形態と同様である。そしてゲート電極の形成から相違する。このため、この部分から図  
20 6 を用いて説明する。

( a ) まず、ゲート電極形成に使用するため、アモルファスシリコンの層を基板 1 0 全面に形成し、更に不必要な部分を除去することにより、本来のゲート電極の位置に中心を合わせてのパターン化されたアモルファスシリコン層 4 1 3 0 形成する。

25 ( b ) アモルファスシリコン層の形成された基板全面に金属膜 4 1 4 を形成し、その後パターン化されたアモルファスシリコン層上

面及びこの層のソース電極側、ドレイン電極側の端部より約1～4  
μm程度食い出た部分4141（その他、厳密にはパターン化され  
たポリシリコン上部外の半導体素子の電氣的接続に必要な部分）の  
み残すようにして、他の部分は除去する。すなわち、いわゆるパタ  
5 ーニングをする。

その結果アモルファスシリコン層4130上に完全に金属層41  
4が積層される構造となる。なおこの場合、例えばアモルファスシ  
リコン層はプラズマCVD法またスパッタ法で形成し、厚みは約5  
00～2000・とする。金属膜にはTi膜を用いる。そして、そ  
10 の厚さは約2000～5000・程度とする。

（c）そしてこの状態で、アモルファスシリコン層と金属膜であ  
るTiを反応させて中間にシリサイド膜415を形成するための熱  
処理を行う。この熱処理であるが、550～650℃で約30分程  
度行う。

15 なお、この金属シリサイドの形成は、他の金属を用いてもよいの  
は勿論である。

なおまた、図では金属の未反応部が存在しているが、全て反応し  
ていても良いのは勿論である。

更にまた、アモルファスシリコンと金属とが、上層が下層のソー  
20 ス電極側、ドレイン電極側の端部より約1～4μm程度食い出すと  
いう形状を維持しつつ全て反応しても良いのは勿論である。

以下、トランジスタ素子を形成する工程が続くが、ここからはま  
た先の第1実施の形態（図5の（f）以下に示す）のと同様の処理  
がなされる。

25 以上の様にして、第1の実施の形態と同様高精度なLDD構造を  
有した薄膜トランジスタを形成した。

(第1-3の実施の形態)

図7に、本発明群の第3の実施の形態を示す。

本実施の形態は図3に示す第1の実施の形態の変形例であり、浮遊容量の減少のため、ドレイン電極側のみLDD構造162としたものである。

(第1-4の実施の形態)

図8に、本発明群の第4の実施の形態を示す。

本実施の形態は、図6を参照しつつ説明した第1-2の実施の形態の発展例である。

10 本実施の形態においては、図8の(c)に示すごとく、金属膜とシリサイド膜とアモルファスシリコン膜を、下からこの順にゲート絶縁膜上に形成して3層とし、更にこの上部より不純物を打ち込むことにより2段構造のLDDとしている。

以下、この半導体素子の製造方法について、本図を参照しつつ説明する。

(a) 基板10のゲート絶縁膜2上にパターン化した金属薄膜416を形成する。

(b) この金属薄膜を完全に覆うようにしてアモルファスシリコン膜4130をパターン化して形成する。なおこの場合、このアモルファスシリコン膜は金属薄膜のソース電極側及びドレイン電極側へ多少食み出して形成する。従って、ここまでは、上下の膜層の材質が逆なのを除いて、第1-2の実施の形態と同じである。

(c) 第1-2の実施の形態と同様に加熱によりこの金属薄膜とアモルファスシリコンとを反応させて両層の中間にシリサイド層415を形成する。ところでこの際、加熱温度と時間を調整して金属薄膜がチャネル領域方向へ所定の長さ、そして勿論一定の厚さだけ

残るようにする。

また、同じくアモルファスシリコンの少くも食み出した部分も未反応の状態となるようにする。

これにより、チャネル領域上部のゲート電極は、ゲート電極両端  
5 のアモルファスシリコンのみからなる薄肉部 4 1 3 0 1 と、ゲート  
電極中央部の上下層の未反応の金属薄膜 4 1 6 とその上層のシリ  
サイド層 4 1 5 若しくは更にこれらに加えてのその上層の未反応のア  
モルファスシリコン層 4 1 3 0 からなる肉厚部との中間に、シリ  
サイド層若しくは更にこれに加えてのその上層の未反応のアモルファ  
10 スシリコン層からなる中間部とが形成されたことになる。

さて、一般にシリサイドの密度はそれを構成する金属とシリコン  
の密度の中間の値（ただし、中央の値とは限らない）となる。この  
ため、この中間部においてはチャネル領域中央の肉厚部と厚さその  
ものは等しくても（勿論、等しくないときもある）、不純物イオン注  
15 入時のマスク（遮断）としての能力は劣ることとなる。

従って、この状態で基板上方より不純物を注入すれば、本図（c）  
の 1 6 1、1 6 2 で示すように、自然と 2 段構造の L D D が形成さ  
れることとなる。

さて、平板（基板）上への膜厚形成時にその厚さや平面寸法は容  
20 易に制御しうる。また、金属とシリコンの化学反応の速度も温度と  
時間のみ注意すればよい。これまた容易である。ひいては、基  
板上に多数配列された小さい半導体素子の 2 段構造の L D D という  
本来極めて細かい寸法制御が必要な処理が極めて容易になしうるこ  
ととなる。

25 （第 1 - 5 の実施の形態）

本実施の形態も図 6 に示す第 1 - 2 の実施の形態の発展例である。



本実施の形態においては、図 9 の (c) に示すようにゲート電極を 3 層構造とし、更にこれをマスクとして不純物を注入することにより 2 段構造の L D D とするものである。

以下、図 9 を参照しつつ本実施の形態を説明する。

- 5     (a) 基板 1 0 のゲート絶縁膜 2 上にパターン化されたシリサイド層 4 1 3 を形成する。

(b) そのソース電極、ドレイン電極側へ多少はみ出た形状でシリサイド層 4 1 3 を完全に覆う、そしてパターン化されたアルミ薄膜層 4 1 7 を形成する。

- 10    (c) このアルミ薄膜層 4 1 7 を完全に覆い、更にソース電極、ドレイン電極側へ多少はみ出た形状でパターン化されたタングステン若しくはモリブデンの薄膜 4 1 4 を形成する。

以上のもとで、上部より不純物を注入する。このため、本図の (c) に示すように 2 段構造 1 6 1、1 6 2 の L D D が形成される。

- 15    さて、次に p - S i の熱処理を行なうこととなるが、中央のアルミニウム膜 4 1 7 はその上部の高融点金属たるタングステン等からなる膜 4 1 4 とその下部の高温で安定な化合物たるシリサイド 4 1 3 に囲まれているため、その融点に近い温度まで昇温しても変形、ヒロックの発生等の不都合が生じない。また、たとえ生じたとしても、  
20    当該部の上下に導電体層が存在し、当該不都合発生部の長さ自体が短いため、この部分が全体の電気抵抗に及ぼす悪影響も少ない。

従って、この半導体素子はシリサイドのみならず電気抵抗の低いアルミのためゲート電極の電気抵抗が大幅に低下することとなる。

(第 1 - 6 の実施の形態)

- 25    本実施の形態は、先の第 1 - 4 の実施の形態を更に発展させたものである。

図 10 の (a) に示すように、本実施の形態では、ゲート絶縁膜上に下方より順にパターン化された下部の金属膜 416、アモルファスシリコン膜 4130、上部の金属膜 414 を形成し、しかもこの際、上部の膜は下部の膜を完全に覆うだけでなくソース電極方向及びドレイン電極方向へ多少食み出すように形成されている。このもとで、基板毎 550℃～660℃の温度に 10～20 分晒す。そしてこれによりゲート電極は図 22 の (b) に示すように下方より未反応の第 1 の金属層 4160、第 1 の金属のシリサイド層、未反応のアモルファスシリコン層 4130、第 2 の金属のシリサイド層、未反応の第 2 の金属層 4140 の 5 層となる。ひいては、このゲート電極をマスクとして不純物を注入した場合には、幾何学的な厚さと密度の変化が相まって、LDD 構造の不純物濃度がいわば多段 156 となり、優れた性能が発揮されることとなる。

{ 第 2 の発明群 }

15 ( 第 2 - 1 の実施の形態 )

本実施の形態は、マスク兼 2 段構造のゲート電極として、めっき等を使用するものである。

図 11 に、本実施の形態の薄膜トランジスタの断面を示す。本図において、10 は、ガラス基板である。150、152、170、162、160 は、LDD 構造を有する多結晶シリコン層である。2 は、ゲート絶縁膜である。42 は、下部のゲート電極である。43 は、上部のゲート電極である。3 は、層間絶縁膜である。5 は、ソース電極である。6 は、ドレイン電極である。

TFET の基板であるガラス基板 10 上には、膜厚が 500 から 1000 Å の多結晶シリコン層 1 が形成され、その上には膜厚が数百から 1000 Å の SiO<sub>2</sub> ( 2 酸化珪素 ) から成るゲート絶縁膜 2

が形成され、さらにはアルミニウム等の金属材料から成る２段構造のゲート電極４２、４３及びＳｉＯ<sub>2</sub>から成る層間絶縁膜３が、順次に積層構成されている。

そして、このゲート電極は、下部のゲート電極４２と、該ゲート  
5 電極の上面を覆って形成された上部のゲート電極４３とからなる。  
更に、上部のゲート電極４３は、そのソース電極側及びドレイン電極側の端部が下部のゲート電極４２より多少食み出している。

次に、この２段のゲート電極の材料であるが、上部のゲート電極  
4 2 が下部のゲート電極４３より密度が高い材料であるのがゲート  
10 電極の高さ（あまり高いと、ゲート絶縁膜の必要厚さが大きくなる等の不都合が生じうる。）やマスク効果の面から好ましい。具体的には、例えば、下部のゲート電極４２はＡｌ、Ａｌ／Ｔｉ、Ａｌ／Ｚｒ／Ｔｉ等であり、上部のゲート電極４３としてはＴａ、Ｃｒ、Ｍ  
o 等である。

15 このゲート電極をマスクとして不純物を打ち込むことにより、多結晶シリコン層は、本図に示すごとく、下部のゲート電極４２の直下に位置するチャネル領域１７０と、そのソース電極側とドレイン電極側かつ上部のゲート電極が下部のゲート電極から食み出した部分  
4 3 5、4 3 6の直下の不純物濃度が低いＬＤＤ領域１５２、  
20 6 2及びさらにそれらのソース電極側とドレイン電極側かつ上部にゲート電極が存在しない部分の不純物濃度が高い領域１５０、１  
6 0が形成されている。

更に、ソース電極側のＬＤＤ領域とソース領域１５０との接合面は、上部のゲート電極４３の端面とほぼ一致しており、ＬＤＤ領域  
25 1 5 2とチャネル領域１７０との接合面は、下部のゲート電極４２の端面とほぼ一致している。また、ドレイン電極側のＬＤＤ領域１

6 2 とドレイン領域 1 6 0 との接合面は上部のゲート電極 4 3 の端面とほぼ一致しており、L D D 領域 1 6 2 とチャネル領域 1 7 0 との接合面は、下部のゲート電極 4 2 の端面とほぼ一致している。

(注：実際には、不純物打ち込み時のゲート絶縁膜による散乱、熱  
5 処理時の拡散のため、多少の不一致が生じうる。)

以上の他、T F T には、例えば上部がアルミニウム、下部がチタンから成るソース電極 5 1、5 2 及びドレイン電極 6 1、6 2 が設けられている。そして、このソース電極 5 は、ゲート絶縁層 2 及び層間絶縁層 3 に形成されているコンタクトホール 9 5 を介して、半  
10 導体のソース領域 1 5 0 に接続され、同じくドレイン電極 6 はコンタクトホール 9 6 を介してドレイン領域 1 6 0 に接続されている。

次に、この T F T の製造方法を、図 1 2 と図 1 3 を用いて説明する。なお、両図は本来 1 図となるべきであるが、スペースの都合で 2 図としたものである。

15 先ず、図 1 2 に基づいて説明する。

(a) ガラス基板 1 0 上にプラズマ C V D 法あるいは減圧 C V D 法により 5 0 0 から 1 0 0 0 Å の膜厚の a - S i 層 1 を堆積させ、後のレーザー照射による多結晶化の際に内部の水素の離脱によって a - S i 膜 1 0 0 にアブレーションが発生するのを防止するため、  
20 4 0 0 °C で脱水素処理を行う。

(b) 波長 3 0 8 n m のエキシマレーザーを用いたレーザーアニールにより a - S i 層 1 を一旦熔融させ、そのまま結晶化 (p - S i 化) を行なって、多結晶シリコン層 1 を形成する。

(c) いわゆるホトリソグラフィにより、多結晶シリコン層を  
25 基板上の半導体素子の配列に従っての形状にする。いわゆる孤立化、パターニングである。

(d) バターニングされた多結晶シリコン 1 を完全に覆うように、ガラス基板上に、厚さが 1000 Å の SiO<sub>2</sub> (2 酸化硅素) 層 2 を形成する。なお、この層が半導体素子のゲート絶縁層となる。

(e) 基板上全面にアルミニウム層 420 を製膜する。なお、こ  
5 の層が半導体素子の下部のゲート電極となる。

(f) アルミニウム層 420 をホトリソグラフィーにより所定形状にバターニングして下部のゲート電極 42 を形成する。

(g) このゲート電極 42 をマスクとして、上部より H<sub>2</sub> ガスで稀釈した第 1 の不純物イオンを電圧で加速して打ち込む、すなわち、  
10 いわゆるドーピングを行なう。なおこの際、不純物としてリンを用い、打ち込む濃度は低濃度とする。これにより、下部のゲート電極 42 の直下に位置するチャネル領域 170 は、不純物が全くドーピングされない領域となり、その領域を除く左右の領域 175、176 は、不純物が軽くドーピングされた n- 層となる。

15 (h) 下部のゲート電極 42 を完全に覆うように、Mo 層 430 を製膜する。なお、この層が半導体素子の上部ゲート電極となる。

この際、前述のごとく、上部のゲート電極として用いる材料は下部のゲート電極として用いる材料より密度の高いものを用いる。これは、第 2 回目のドーピング時の完全なマスク能力の必要性を考慮  
20 したものである。

次に、図 13 を用いて説明する。

(i) 上部の金属層をバターニングして上部のゲート電極 43 を形成する。

(j) 主に上部のゲート電極 43 をマスクとして、第 2 回目の不  
25 純物の打ち込みを行う。この際、不純物としてリンイオンを用いた。なおこの場合のドーピング量は、第 1 回目よりもずっと多いのは勿

論である。

これにより、多結晶シリコン層のうち、上部のゲート電極 4 3 の直下に位置する領域を除く領域にイオンが高濃度にドーピングされる。ひいては、先のドーピングにより不純物が軽くドーピングされている領域 1 7 5、1 7 6 のうち、上部のゲート電極 4 3 に覆われていない部分 5 は、さらに不純物がドーピングされることになり、不純物高濃度領域 ( $n^+$  層) すなわちソース領域 1 5 0、ドレイン領域 1 6 0 となる。

一方、これらの領域 1 7 5、1 7 6 のうち、上部のゲート電極 4 3 に覆われている領域では、この第 2 回目のイオンドーピングによ 1 0 っては、不純物がドーピングされず、低濃度で不純物が打ち込まれたまま、結果的に L D D 領域 ( $n^-$  層) となる。

こうして、ソース領域 1 5 0 ( $n^+$  層) とチャネル領域 1 7 0 の間に、L D D 領域 1 5 2 ( $n^-$  層) を形成し、また、ドレイン領域 1 6 0 ( $n^+$  層) とチャネル領域 1 7 0 の間に L D D 領域 ( $n^-$  層) 1 5 が形成される。しかもこの際、下部のゲート電極 4 2 をマスクとして第 1 回目のイオンドーピングを行ない、更に、その上部に形成された第 2 のゲート電極 4 3 をマスクとして第 2 回目のイオンドーピングを行なうので、ソース領域、ドレイン領域及び 2 つの低濃度不 2 0 純物領域を自己整合的に (必然的に位置の精度を良好に) 形成することができる。しかも、上部のゲート電極 4 3 とソース領域 1 5 0 の重なり部分及び上部のゲート電極 4 3 とドレイン領域 1 6 0 の重なり部分は、小さくしえる。これによって、寄生容量を小さく抑え、O F F 電流を低くすると共に、O N 電流の低下を可及的に抑えるこ 2 5 ととなる。

(k) 層間絶縁層 ( $S i O x$ ) 3 を製膜する。

(1) 層間絶縁層 3 及びゲート絶縁層 2 のソース電極、ドレイン電極の形成される位置にコンタクトホール 95、96 を開孔する。

(e) Al 等の金属層をスパッタ法にて形成し、形成した金属層の上部を所定形状にパターニングしてソース電極 5 及びドレイン電極 6 を形成する。更に、最終的には SiN 等の保護膜 (図示せず) を形成して TFT が製作される。

以上は、n チャネル TFT の場合であるが、p チャネル TFT についても同様のプロセスにより製造可能であるのは勿論である。

(第 2 - 2 の実施の形態)

10 以下、本発明群の第 2 の実施の形態について説明する。本実施の形態は、下部のゲート電極にめっき処理を行って上部のゲート電極を形成するものである。

図 14 に、本実施の形態の薄膜トランジスタの製造方法を示す。以下、本図を参照しつつ、この製造方法を説明する。

15 (a) から (e) までの手順、処理は図 12 の (a) から (g) までと同じである。このため、具体的内容の記載は省略する。

(h) ガラス基板全体を Au メッキ液 (図示せず) に侵漬し、下部のゲート電極 42 が負極となるように電界を印可して上部のゲート電極となるよう、Au 層 43 をメッキにより形成する。これにより、当然下部のゲート電極 42 の側面にもメッキ条件にともなった Au 膜 43 が形成される。なおこの際、メッキ用に電圧を加える電線としては、ゲート電極線 (図示せず) を流用する。

ところで、この Au 膜厚は、加える電圧や電流、メッキ時間、メッキ液の濃度等を制御することにより、正確な厚さに形成可能である。しかも、電圧や電流、メッキ時間、メッキ液濃度等の制御は、  
25 これまた容易である。このため、この Au 膜厚は、形成位置も厚さ

も極めて正確である。このメッキの際の様子を (h') に示す。

(j) 下部のゲート電極 42 とこのゲート電極にメッキされた Au 膜をマスクとして、第 2 回目の不純物の打ち込みを行なう。なおこの際、ドーピングする不純物はリンイオンであり、また、ドーピング濃度は先の第 1 回目より高濃度である。これにより、先の実施の形態と同じく、多結晶シリコン層は、下部のゲート電極 42 直下のチャネル領域 170 と、下部のゲート電極側面にメッキされた Au 膜の直下に位置する不純物低濃度領域 152、162 と、それら 2 種の領域を除く領域に高濃度に不純物がドーピングされたソース領域 150 と  
10   ドレイン領域 160 が形成される。

以降は、図 13 の (k) ~ (m) の処理がなされることとなる。

本実施の形態において、上部のゲート電極のメッキ材料としては、何も Au メッキに限定するものではないのは勿論である。すなわち、精度良い電界メッキが可能かつ不純物のドーピングに対してイオン遮蔽  
15   効果があるものであればよい。また、メッキは何も電界メッキ法に限定されるものではなく、メッキ液、メッキ材料を選択して無電解メッキ法を使用して良いのも勿論である。

(第 2 - 3 の実施の形態)

本実施の形態は、先の第 2 の実施の形態の GOLD (gate -  
20   drain overlapped lightly-doped drain) 構造の薄膜トランジスタの下部ゲート電極にメッキされた金属膜を除去したものである。

以下、本実施の形態の LDD (Lightly Doped Drain) 構造の薄膜トランジスタの製造方法を図 15 を参照しつつ  
25   説明する。

本図の (j) は、図 14 の (j) と同じである。ただし、下部の



ゲート電極はAuであり、上部はWである。

(j')不純物の打ち込み後、下部のゲート電極42の上部と側面にメッキされたW43を除去する。

その後、図13の(k)から(m)に示す工程がさなれ、LDD  
5 (Lightly Doped Drain) を設けた薄膜トランジスタを製作する。

この薄膜トランジスタにおいては、残った下部電極42のみがゲート電極となり、その直下の多結晶シリコン層は、チャネル領域170のみであり、その両側には低濃度不純物領域(n-層)151、  
10 161が形成され、更にその両側にそれぞれソース領域150とドレイン領域160が形成されるる。

(第2-4の実施の形態)

本実施の形態は、先の3つの実施の形態の薄膜トランジスタを使用した画素電極に関する。

15 図16に、本実施の形態の液晶表示装置の画素を示す。本図の(a)は平面図であり、(b)は(a)のA-A断面である。両図において、10は、ガラス基板である。2は、ゲート絶縁膜である。421は第1の下部ゲート電極である。422は第2の下部ゲート電極である。3は、層間絶縁膜である。5は、ソース電極である。6は、ド  
20 レイン電極である。11は、画素電極である。

下部のゲート電極は、多結晶シリコン層上複数領域にわたって形成され、この下部のゲート電極421、422の上面すべては上部のゲート電極43にて覆われている。

このゲート電極構造により、多結晶シリコン層は、図上2つの下  
25 部のゲート電極421、422の直下に位置する2つのチャネル領域170と、不純物濃度が高いソース領域150(n+層)及びド

レイン領域 ( $n+$  層) 160 が構成され、更に2つの下部のゲート電極の側部そして上部のゲート電極43が食い出した部分435の直下には不純物濃度が低い領域 (LDD 領域:  $n-$  層) 152、162、1562 が形成されている。

- 5      以上の構造により、画素 TFT 11 の寄生容量を小さく抑え、OFF 電流を低くすると共に、ON 電流の低下を可及的に抑えている。

図17に、また別の構造の画素 TFT を示す。

本図においても (a) は、画素 TFT の平面図であり、(b) はその A-A 断面図である。

- 10      この画素 TFT では、上部のゲート電極431、432は多結晶シリコン層を複数領域横断する下部の2つのゲート電極42それぞれに対して個別に上面を覆う状態で形成されている。

- このような構造でも同様に画素 TFT の寄生容量を小さく抑え、OFF 電流を低くすることができると共に、ON 電流の低下を可及  
15      的に抑えることができるものである。

(第2-5の実施の形態)

本実施の形態は、上部ゲート電極より下部ゲート電極がチャネル方向長さが大きいものである。

- 図18に、本実施の形態の薄膜トランジスタの平面 (a) とその  
20      断面 (b) を模式的に示す。なお、(b) は、(a) の A-A 線断面である。

- この TFT においても、基本的な構造は図13等 to 示す先の第2-1の実施の形態の TFT と同じである。ただし、ゲート電極4は下部42のもののチャネル方向長さが上部のもののそれよりも長い  
25      のが異なる。このため、下部のゲート電極42は、上部のゲート電極41の両端ソース電極5側及びドレイン電極6側に食い出し部4

25、426を有している。そして、このゲート電極をマスクとして、基板上面より不純物を打ち込まれているため、その下部にLDD構造を有したp-Si膜が形成されている。

本図で170は、上下の電極の下方に位置するため不純物が全く打ち込まれていないチャネル領域である。152と162は、下部のゲート電極の食み出し部425、426のみがマスクとなるため、不純物が少し打ち込まれたLDD領域である。150と160は、マスクがないため不純物が多く打ち込まれたソース領域及びドレイン領域である。

10 以下、この薄膜トランジスタの製造方法について、図19を参照しつつ説明する。

(a) ガラス基板10上に、a-Siのアニール時等にガラス基板中の物質が半導体層に拡散してくるのを防止するためのアンダーコートSiO<sub>2</sub>膜12を4000Å程度の厚みに堆積させた。その上にプラズマCVD法あるいは減圧CVD法により、膜厚が500Åの非晶質シリコン膜1を堆積させた。

次いで、波長308nmのエキシマレーザを用いたレーザーアニールにより、a-Si膜の熔融再結晶化（多結晶化）を行ない、ポリシリコン膜とした。

20 その後、TFTを形成させるべくp-Si膜の所定領域を島状に加工した。いわゆるパターニングである。

基板上全面にパターン化したp-Si膜を覆うようにゲート絶縁膜2を形成した。具体的には、TEOSを原料ガスとしたプラズマCVD法によって、SiO<sub>2</sub>膜を約1000Åの厚さに堆積したものを用いた。従って、ここまでは今までの実施の形態と同じである。

(b) SiO<sub>2</sub>膜の上に上部ゲート電極膜420を堆積した。本

実施の形態では、スパッタリング法で成膜したITO膜を用い、その膜厚を約500Åとしたが、その他、アルミニウム、タンタル、チタン、モリブデン、タングステン、ジルコニウム等の各種メタル膜やそれらの合金系膜、ITO等の導電性酸化物膜を用いても良い。

- 5     ただし、これらの場合には、後工程において、この下部電極をマスクとしてLDD領域のドーピングをおこなうため、最適な膜厚はこれを考慮して個々に決めることとなる。また、膜材料によってドーピングされるイオンの阻止能（加速されたイオンの通過を妨げる能力）が異なるため、当然ながら膜の材料組成によってもその最適な
- 10   膜厚は異なる。

（c）下部ゲート電極膜420の上部に、上部電極膜410として、厚さ2000Åのタンタル膜をスパッタリング法で成膜した。

なおこの上部電極膜の材料であるが、後工程で下部電極膜との選択エッチングができることを考慮して選定する必要がある。

- 15    （d）上部ゲート電極のタンタル膜410を所定の形状にパターニングして、上部ゲート電極41を形成した。なお、パターニングは感光性樹脂を使用し、タンタル膜を残しておく部分上にのみレジスト13が存在するようにし、不必要な部分のタンタル膜をドライエッチングで除去した。

- 20    （e）下部ゲート電極42を形成するべく、ITO膜を所定の形状にパターニングして、下部ゲート電極42を形成した。

（f）上下に段のあるゲート電極4をマスクとし、その上部より不純物としてリンイオンをドーピングした。これにより、図18に示すような構造のLDDTFTを得た。

- 25     なお、以降の工程は、第2-1の実施の形態等と同様であるので、わざわざの記載は省略する。

また、上記例では、 $n$ チャネル型TFTであったが、 $p$ チャネル型TFTについても同様に製造可能である。

図20に、以上の方法で製造したTFTの電圧／電流特性を示す。本図において、ラインL1は従来構造（LDD構造でない）のTFTの特性であり、ラインL2は従来のLDD構造の特性を示す。ラインL3は本実施の形態で作製されたTFTの電圧／電流特性を示している。ラインL1、L2から明らかなように、従来構造のTFTでは、LDD構造にすることにより、オフ電流を低減させることはできる。しかしながら、LDD構造にすることにより、オン電流が低下してしまう。一方、本実施の形態では、オフ電流を低減することができて、しかもオン電流を低下させることがないことがわかる。すなわち、本実施の形態のTFTにおいては、高抵抗であるLDD領域がゲート電極下に位置するため、飽和領域並びに不飽和領域において、LDD領域とチャネル領域ともに、キャリアである電子が蓄積するため、オン電流が低下しない。

（第2－6の実施の形態）

（TFTアレイの構成）

図21に、本実施の形態のTFTアレイを液晶表示装置の画素スイッチング用TFTとして使用した画素電極エリアの断面を模式的に示す。実際には、これらがガラス基板上に縦横幾列、幾段にも、いわゆるマトリックス状に配列されている。本図は、スイッチング用TFTを $n$ チャネル型で製作している。

このスイッチング用TFTは、基本的構造は、図16、図17に示すものと同じであり、ガラス基板10上に、ポリシリコンからなる多結晶半導体膜1、 $\text{SiO}_2$ からなるゲート絶縁膜2、ゲート電極4及び $\text{SiO}_2$ からなる層間絶縁膜3が順に積層されている。

ここに、ゲート電極 4 は、透明導電膜からなる下部電極 4 2 と、それより狭い幅でこの電極 4 2 上面に固着されたメタルからなる上部電極 4 1 とからなる。また、層間絶縁膜 2 を介してその下部にある多結晶半導体膜 1 は、上部ゲート電極 4 1 直下に位置するチャンネル領域 1 7 0 と、その両側下部でゲート電極の食み出し部 4 2 5、4 2 6 直下の不純物濃度が低い L D D 領域 (N- 層) 1 5 2、1 6 2 と、不純物濃度が高いソース領域 (N+ 層) 1 5 0 及びドレイン領域 (N+ 層) 1 6 0 とからなる。

更に、画素エリアには、所定の形状にパターニングされた透明導電膜からなる画素電極 1 1 が設けられており、これはコンタクトホールを介してドレイン電極 6 に接続されている。

ところで、下部の電極 4 2 と画素電極 1 1 とは同一の透明導電膜よりなる。すなわち、同一層の透明導電膜をパターニングして、その一部を下部のゲート電極として、一部を画素電極 1 1 として用いている。このため、両膜を個別に成膜するのと比較して、工程が一回少なくすむ。

以下、この薄膜トランジスタの製造方法を、図 2 2 を参照しつつ説明する。

本図は、この T F T アレイの製造工程を模式的に示した図であり、基本的には、図 1 1 と同じである。なお、右側は画素部である。

以下、図 1 9 と異なる部分について説明する。

(c') 下部電極膜及び画素電極膜を同時に形成する。

ゲート絶縁膜 2 の上部に下部ゲート電極及び画素電極膜形成用の透明導電膜 4 2 0 を堆積した。これをスパッタリング法で成膜した。I T O 膜は、その厚さは約 5 0 0 Å である。なお、この透明導電膜としては、I T O 以外の導電性酸化物膜を用いても良い。更に、そ

の上部に上部ゲート電極膜 4 1 0 を形成した。

(d') パターニングにて、上部ゲート電極 4 1 を形成した。

(e') 下部ゲート電極 4 2 及び画素電極 1 1 をパターニングで形成した。

5 以下、他の実施の形態と同様の工程で L D D 型 T F T を製造した。

なお、本実施の形態では、画素スイッチング用 T F T をガラス基板上に作製したが、同様の T F T で構成される C - M O S インバータ回路等を作製して液晶パネル駆動回路をガラス基板上に作製することもできる。その際には、p チャネル型 T F T を作製するため、  
10 例えばボロンイオンを不純物として注入すれば良い。(第 2 - 7 の実施の形態)

本実施の形態の薄膜トランジスタそのものは、基本的には図 1 8 の (a) 及び (b) に示すものと同じである。

図 2 3 に、本実施の形態の薄膜トランジスタの製造方法を模式的  
15 に示す。以下、本図を参照しつつ、本実施の形態の T F T の製造方法を説明する。

(a) 最初に、ガラス基板 1 0 上にガラスからの不純物溶出を防ぐアンダーコート S i O 2 膜 1 2 を 3 0 0 0 ~ 7 0 0 0 Å 程度の厚みに堆積させた。その上に非晶質シリコン膜を形成し、薄膜トラン  
20 ジスタを形成させるべく島状に加工した。

更に、エキシマレーザ照射によるアニール処理にて、非晶質シリコン膜を多結晶化してポリシリコン膜 1 を得た。更に、原料ガスとして T E O S を用いたプラズマ C V D 法によって、ゲート絶縁膜 2 として、S i O 2 膜を約 1 0 0 0 Å の厚さに成膜した。本図の (a)  
25 は、この状態である。従って、ここまでは、従来の実施の形態と同様である。

(b) 下部のゲート電極形成用膜 420 としてタンタルを 200 nm 成膜した後、上部のゲート電極形成用膜 410 としてアルミ合金を 150 nm 成膜した。(c) 上部のゲート電極形成のための光硬化性樹脂のレジスト膜 13 をアルミ合金膜 410 上に形成し、  
5 マスク 14 を介して紫外線 (UV) を照射した。

(d) 上部ゲート電極 41 の上面にのみレジスト膜 13 を残した状態とした。

(e) 上部ゲート電極膜の不必要な部分をエッチングして上部のゲート電極 41 を形成した。なお、このエッチングは、ウェットに  
10 比較して精度の出る塩素系のガスを使用してのドライエッチングによって行った。

(f) 上部ゲート電極 41 の上面に、レジスト 13 を残したまま上部ゲート電極膜のアルミ合金の側面のみを陽極酸化して、側面に陽極酸化膜 4105、4106 を形成した。陽極酸化液としては 0.1 M 蔞酸水溶液等が用いられた。酸化電圧としては 15 V 30 分程度で幅約 500 nm の酸化膜がゲート両端から形成される。また下層ゲート電極膜表面にも 30 ~ 50 nm の酸化膜が形成された。  
15

(g) レジストを除去した後、陽極酸化膜をマスクに、自己整合的に下部のゲート電極膜の不必要部分とその上表面の陽極酸化膜をケミカルドライエッチングによりエッチング除去した。続いて上層のゲート電極側面を覆った陽極酸化膜をエチレングリコールを含むフッ硝酸液にて陽極酸化膜のみを除去した。これにより、下部がソース電極とドレイン電極側に少し食み出した 2 段構造のゲート電極が形成された。  
20

(h) 上部のゲート電極 41 及び下部のゲート電極 42 をマスクとして、その上部よりイオンドーピング法により、不純物としてリ  
25



ンイオンを注入した。これにより、下部のゲート電極 4 2 に覆われた領域 1 5 2、1 6 2 では、下部のゲート電極にリンイオンの大半が捕獲されるため、リンイオンには、低濃度しか注入されず、このため L D D 領域 (N - 層) となる。下部のゲート電極 4 2 に覆われていない領域 1 5 0、1 6 0 はリンイオンが高濃度に注入された N + 層となる。また、上部のゲート電極 4 1 と下部のゲート電極に覆われた領域 1 7 0 は、リンイオンが全く注入されず、チャネル領域となる。その結果、自然と L D D 型の T F T が形成された。

以下、膜厚 4 0 0 n m の S i O<sub>2</sub> 膜 2 を層間絶縁膜として堆積した。続いて、層間絶縁膜とゲート絶縁膜にコンタクトホールを開口した。続いて、スパッタリング法により A l 膜をコンタクトホール領域をカバレッジよく堆積したあと、所定の形状にパターニングしてソース電極とドレイン電極を形成した。ただし、これらは先の実施の形態と同じなので図示等は省略する。

15 (第 2 - 8 の実施の形態)

本実施の形態は、先の実施の形態のゲート電極の形成方法をより簡略化したものである。

以下、図 2 4 を参照しつつ本実施の形態を説明する。

(d') 基板上への半導体層ゲート絶縁膜、上下のゲート電極膜 4 1 0、4 2 0 の堆積と、その上部へのレジスト 1 3 の塗布、更にこのレジストの露光によるパターン化までは、先の実施の形態と同じである。なお、下部のゲート電極形成用膜 4 2 0 は 2 0 0 n m のタantalであり、上部のゲート電極形成用膜は 1 5 0 n m のアルミ合金である。

25 (e') 上下のゲート電極膜をフッ素系のガスを使用するエッチングにより上部のゲート電極 4 1 と下部のゲート電極 4 2 を形成した。

なお、この状態では、上下のゲート電極間に食み出し部はない。

(f) レジスト 13 を残した状態で、上部のゲート電極と下部のゲート電極の側面のみを陽極酸化し、陽極酸化膜 4105、4106 を形成した。陽極酸化液としては、0.1 M しゅう酸水溶液等を用いた。電圧は 15 V であり、1 時間程度で下部のゲート電極側面には 30 nm の酸化膜が形成され、上部のゲート電極側面には 1  $\mu$  m 程度の酸化膜が形成された。

(g) 上部のゲート電極側面のみを 0.1 M 酒石酸エチレングリコール液等で酸化電圧 15 V で 5 分くらい酸化してゲート電極幅を整えた。

以後、先の実施の形態と同様の方法で LDD-TFT を形成した。

図 25 に以上の方法で製作した TFT の電圧／電流特性を示す。本図において、ライン L1 は従来構造の LDD の TFT の特性であり、ライン L2 は従来構造 (non LDD 構造) の特性である。ライン L3 は本実施の形態の TFT の電圧／電流特性である。ライン L1 と L2 から明らかなように、従来構造の TFT では、LDD 構造にすることによりオフ電流を低減することはできる。しかしながら、LDD 構造にすることでオン電流が低下してしまっている。

一方、本実施例の場合にはオフ電流を低減することができ且つオン電流を低下させることがない。即ち、本実施の形態の TFT においては高抵抗の LDD 領域がゲート電極直下にあるため、飽和領域並びに不飽和領域において、LDD 領域とチャネル領域ともにキャリアである電子が蓄積するため、オン電流が低下しない。

(第 2-9 の実施の形態)

図 26 に、本実施の形態の TFT を使用した液晶表示装置を示す。画素スイッチング用 TFT と画素電極エリアの部分の断面、本実施

の形態のスイッチング用 T F T 及び画素は基本的には、図 2 1 に示すものと同じである。

ただし、ソース電極とドレイン電極の下部 5 2、6 2 はシリコンとシリサイドを形成するため界面の電気抵抗が減少する T i であり、  
5 上部 5 1、6 1 は、電気抵抗の小さいアルミであり、更に反射型の表示装置であるため、画素電極 1 1 は、アルミ製なのが相違する。更に、実際の使用状態では、ソース電極 5、ドレイン電極 6 及び画素電極 1 1 の絶縁と液晶の配向を兼ねた配向膜がそれらの上部に形成される。

10 図 2 7 を参照しつつ、この液晶表示装置の製造方法を説明する。なお、基本的には図 2 3 等に示すのと同じであるため、要部のみ説明する。

下部ゲート電極膜 4 2 0 と上部ゲート電極膜 4 1 0 を形成する (c) までは、同じである。

15 (d-1) 上部ゲート電極 4 1 を、レジスト 1 3 を使用してのパターニングで形成する。

(d-2) 上部ゲート電極 4 1 の側部を、レジスト 1 3 をも使用して陽極酸化する。

(d-3) 陽極酸化部 4 1 0 5、4 1 0 6 を有する上部ゲート電  
20 極 4 1 とレジスト 1 3 をエッチングストッパーと使用して、食み出し部を有する下部ゲート電極 4 2 を形成する。

(e) 上下のゲート電極を注入マスクとして、不純物を打ち込む。

本実施の形態においても、同様の T F T で構成される C-M-O-S インバータ回路等を作製して液晶パネル駆動回路をガラス基板上に  
25 製作しても良い。その際、p チャネル型 T F T を作製する必要があるが、上記製造方法と同様の工程でボロンイオンを注入するなどし

て p チャネル型 T F T を作製することができる。

(第 2 - 1 0 の実施の形態)

本実施の形態は、ソース領域側若しくはドレイン領域側の一方のみ L D D 構造としたものである。

- 5     さて、液晶表示装置の画素部の半導体素子としては、何も両側とも L D D 構造でなくても良い場合がある。また、一方のみ L D D とすると、半導体素子の浮遊容量が減少するため、用途によっては、その方が好ましい場合もある。そこで、本実施の形態では、図 2 8 の ( a ) に示すように、フォトリソグラフィにて下部 4 2 のゲート電極のソース電極側へのみ 1 ~ 2  $\mu$  m 程度上部のゲート電極 4 3 が  
10     食い出した構造とする。そして、図 2 8 の ( b ) に示すように、この下で不純物イオンを基板上面より打ち込む。これにより、片側ののみ L D D の半導体素子が得られる。

(第 2 - 1 1 の実施の形態)

- 15     本実施の形態は、ゲート電極金属の酸化を利用するものである。

- さて、ケースにより爆発的に燃焼するマグネシウムや不働態となる金属を除き、鉄等多くの金属は、通常は、温度、圧力等一定の下では一定の速度で酸化する (例えば、使い捨てカイロ等は、この現象あるいは法則を利用したものである)。また、一般に金属は酸化すると密度が低くなり、更にその分、体積が増加する。  
20

このため、ゲート電極が金属酸化でチャネル方向に膨張した部分は、打ち込まれる不純物イオンへのマスクとしての効果が低下する。本実施の形態は、このことを利用したものである。

以下、図 2 9 を参照しつつ本実施の形態を説明する。

- 25     ( a ) 鉄等を材料としてゲート電極 4 を形成する。

( b ) 基板全体を真空下で一定温度に昇温する。

(c) ゲート電極として使用している鉄の酸化量から定まる酸素を含有する低圧の空気を供給する。ここに低圧としたのは、局所的な酸化を防止するためであり、アルゴン等で希釈した酸素でも良い。

(d) ゲート電極の上面、側面が一定量酸化され、 $0.5\mu\text{m}$ 厚さ程度の酸化金属膜が上部ゲート電極43として（正確には、上部打ち込み用マスクのみとして）形成される。この酸化金属膜の形成に伴い、ゲート電極のソース電極側及びドレイン電極側へ酸化金属膜が食み出す。

(e) この状態で基板上面より不純物を打ち込む。

10 (f) 必要に応じての酸化膜の除去、その他水素の追い出しやダングリングボンドの結合等を兼ねての熱処理で酸化金属粒子の不揃い等に基づくLDD領域の不純物注入の不揃いを補償する。

以下、先の実施の形態と同様の手順でLDD型-TFTが製造される。

15 本実施の形態では、ゲート金属材料は鉄としたが、これはアルミやクロムあるいはそれらの合金でも良い。これらの場合には不動態を形成するものが多いが、この場合には酸化膜厚さは自ずと一定となる。また、ケースによっては酸化物の除去も不必要なことが多いであろう。

20 更に、鉄を使用した場合、不純物注入後、更にその上面にアルミ層を設ける等しても良い。

更にまた、ゲート電極は上部がW等の高密度金属、下部がアルミ等の低抵抗金属で形成し、両者を液や電気で同時あるいは別個に酸化させても良い。この場合には、上部のW等の高密度金属が水素の  
25 透過を阻止し、下部のアルミ等の低抵抗金属により低抵抗が得られる。なおこの場合、酸化膜を不純物打ち込み後に除去すれば、GO

L D 構造でない L D D 型 T F T が得られる。

{ 第 3 の 発 明 群 }

( 第 3 - 1 の 実 施 の 形 態 )

本実施の形態は、先の第 1 の発明群及び第 2 の発明群の L D D 型  
5 T F T 形成のための不純物打ち込みに先立って、ゲート電極下部を  
除くゲート絶縁膜を一旦取り去るものである。

すなわち、ゲート絶縁膜が存在すれば、その分不純物打ち込み時  
の加速電圧を上げねばならないが、これにより、不純物稀釈用の水  
素が過度に加速され、マスクとして重厚なゲート電極まで透過し、  
10 その下部のチャネル領域の半導体にまで悪影響を及ぼす。

また、ゲート絶縁膜内で不純物が横方向に散乱され、このため特  
に、チャネル領域と L D D 領域の境界が不明瞭となる。ひいては、  
チャネル領域 1  $\mu$  m、L D D 領域が 0 . 2  $\mu$  m 程度の小さな半導体  
素子では、用途によっては不都合が生じかねない。

15 また、ゲート絶縁膜を完全に均一な厚さとするのは困難であり、  
これも高濃度領域、L D D 領域を問わず、不純物の均一な注入の妨  
げになる。

そこで、本実施の形態では、不純物打ち込み時にゲート電極直下  
部を除くゲート絶縁膜を予め除去しておくものである。以下、図 3  
20 0 を参照しつつ本実施の形態を説明する。

( a ) 上部の電極が下部電極のソース電極側とドレイン電極側へ  
僅かに食み出すか、逆に図に示す様に下部電極 4 2 が上部電極 4 3  
の両側より僅かに食み出すかしたゲート電極を形成する。

( b ) ゲート電極直下部を除くゲート絶縁膜 2 5、2 6 を除去す  
25 る。更に、必要に応じて、エッチングで痛んだ p - S i 膜表面を回  
復させるための熱処理や、表面への極く薄い絶縁膜の形成を行う。

(c) 上部より不純物を打ち込む。

(d) 除去した部分のゲート絶縁膜を再度形成する。

以下、他の実施の形態と同様の手順でLDD型TF Tが製造される。

- 5      これにより、手数はかかるものの非常に優れたLDD型TF Tが得られた。

(第3-2の実施の形態)

本実施の形態は、先の第3-2の実施の形態に似るが、LDD領域の形成にゲート絶縁膜を利用するものである。

- 10     以下、図31を参照しつつ本実施の形態を説明する。

(a) ゲート絶縁膜2上にゲート電極4を形成する。

(b) ゲート電極のソース電極側及びドレイン電極側に、素子の寸法にもよるが、0.3~1 $\mu$ m程度食み出した部分を除くゲート絶縁膜254、264を除去する。更に、必要に応じて、露出した

- 15     p-Si膜の熱処理等を行う。

なおこの際の、0.3~1 $\mu$ m程度食み出した部分を除くゲート絶縁膜の除去であるが、これはゲート電極4を酸化させたり、金属めっきしたりして例えば図29の(d)や図23の(f)に示す状態にし、この状態のゲート電極をエッチングマスクとして絶縁膜を  
20     エッチング除去し、更にゲート電極に付着している酸化物やめっき膜を除去することにより得られる。

(c) 上部より不純物を打ち込む。

(d) ゲート絶縁膜2を再度形成する。

以下、他の実施の形態と同様の手順でLDD型TF Tが製造される。  
25     る。

これにより、手数はかかるものの非常に優れたLDD型TF Tが

得られた。

{ 第 4 の 発 明 群 }

( 第 4 - 1 の 実 施 の 形 態 )

本実施の形態は、先の第 3 - 1 の実施の形態における不純物の打ち込みに先立って、水素の侵入防止のため裸の p - S i 膜上に予め  
5 T i 膜を形成しておくものである。

すなわち、不純物の注入に際しては、その稀釈のため H 2 が使用される。このため、質量が小さいため高度に加速された水素イオンが、その直径が小さいこともあり半導体層へ高速で深く打ち込まれることとなり、これが半導体の性能へ悪影響を及ぼす。その対策として、ゲート絶縁膜を取り去った状態で、半導体上面へ水素を吸蔵する性質に優れ、しかも密度が小さいため不純物の打ち込みの障害にならない T i 層を形成して水素の半導体層への侵入を極力防止し、併せてソース電極及びドレイン電極形成時に共に半導体層と同じシリコン系材料であるため正確な深さでエッチングするのが非常に困難なゲート絶縁膜と層間絶縁膜の穿孔時にエッチングストッパーの役を担せ、更にソース電極、ドレイン電極と半導体層の良好な電気的接触を確保するのに寄与させるものである。  
10

以下、図 3 2 を参照しつつ本実施の形態を説明する。

20 ( a ) 上部若しくは下部の一方のゲート電極のソース電極側及びドレイン電極側の端部が、他部のゲート電極の端部より食み出したゲート電極 4 2 、 4 3 を形成する。

( b ) ゲート電極下部を除くゲート絶縁膜 2 5 、 2 6 を一旦除去する。

25 ( c ) 全面に、 T i 膜 1 8 を形成する。

( d ) 不純物イオンを上部より打ち込む。



(e) ソース電極及びドレイン電極の下部(含む、多少の周辺部)となる部分52、62を除き、Ti膜を除去する。

(f) ゲート絶縁膜2を再度形成し、更に、層間絶縁膜3を形成する。

5 (g) ソース電極、ドレイン電極を形成する位置にコンタクトホール9を形成する。この際、(e)で残したTi膜或いはこのTiが打ち込み後の熱処理でシリコンと反応して形成されたp-Si表面部のチタンシリサイド膜やその上部の未反応のTiがエッチングストッパーとなる。

10 (h) コンタクトホールにAlを充たし、ソース電極5とドレイン電極6を形成する。

本実施の形態においては、ソース電極とドレイン電極はその下端にp-Siとの反応によりTiシリサイドが形成され、シリコン層とTiシリサイド層の界面の電気接触が良好となる。更に、Tiシリ  
15 サイドとTiも界面の電気接触が良好であり、Ti層上部とアルミとの界面も同じ金属同士なので、電氣的接触が良好である。また、ゲート絶縁膜がない分加速電圧が低く、この一方でTi層が水素を吸収するため、高速の水素イオンによるp-Si層の痛み、p-Si層への水素の侵入も少ない。

20 その上、Tiやそのシリサイドはシリコン系物質と化学的性質が異なるため、絶縁膜にエッチングでコンタクトホールを穿ける際特に注意をしなくてもそこで穿孔が停止するので正確な深さとなる。ひいては、p-Si層の厚さにエッチング深さに対する余裕が不要となり、ソース電極等とのp-Si層の接触もばらつきがなくなる。  
25 このため、非常に優れたLDD型TFETとなった。

{第5の発明群}

(第5-1の実施の形態)

本実施の形態は、ボトムゲート型のLDD構造の半導体素子に関する。

ボトムゲート型のLDD構造の半導体素子についても、トップゲート型との構造の相違にもとづく制約は有るものの、上述の各発明群の思想を適用しうる。

以下、図33を参照しつつ本実施の形態を説明する。

(a) 基板上10にゲート電極4、ゲート絶縁膜2、p-Si層1を形成する。

10 (b) p-Si層に直接若しくは層間絶縁膜を形成後、更にそれらの上部かつゲート電極直上に、密度の大な金属からなるパターン化した下部金属マスク47を形成する。

(c) 下部金属マスク47の上に、ソース電極側、ドレイン電極側に端部が多少食い出した上部金属マスク48をめっきや酸化で形成する。

(d) 基板上面より不純物を打ち込む。

(e) 上部と下部の金属マスクを除去する。

以下、必要の応じての層間絶縁膜の形成後、コンタクトホールの形成、ソース電極とドレイン電極の形成を行う。

20 なお、本実施の形態においても、層間絶縁膜を形成せずに上部と下部のマスクを形成した状態で更にTi膜を形成し、不純物打ち込み後にソース電極とドレイン電極の下端部はTi膜を除去せず、これをコンタクトホール形成時のエッチングストッパーとして使用も良い。これにより、先の4-1の実施の形態と同じく両電極部での  
25 良好な電氣的接触の確保も可能となる。

(第5-2実施の形態)

本実施の形態は、先の 5-1 の実施の形態において、マスクを精度良く形成するため、ガラス基板に既に形成されているゲート電極を利用するものである。

以下、図 34 を参照しつつ本実施の形態を説明する

5        (a) 基板上に、Ta や Ag 等の高密度金属からなるゲート電極 4、ゲート絶縁膜 2、p-Si 層を順に形成する。

      (b) 基板上に、感光性樹脂層 49 を形成する。

      (c) 基板の背面よりゲート電極をマスクとして光や紫外線あるいは X 線を照射し、感光性樹脂を露光させる。

10        なおこの際、p-Si であるため光や紫外線は散乱されることなくそのまま透過し易い。また X 線の照射の場合には、現時点では、レンズの製作等が困難なので、紫外線に比較して基板から多少距離を置いて照射する (X 線源を設ける) のが好ましい。なおまた、各電磁波の強度や波長は、吸収により減衰に大きく影響する基板の材質や厚さ、樹脂の感光性等を考慮するのは勿論である。

      さて、この状態の基板は、48 cm 角程度、その厚さはせいぜい 1 mm である。このため、基板上のゲート電極の位置に無関係に、基板上ゲート電極直上にある部分の樹脂のみ露光される。

      (d) 加熱による現像等の後、露光した部分の樹脂 491 を除去  
20        して、基板上面に下部マスク金属膜 470 を形成する。

      (e) 露光しなかった部分の樹脂膜 49 をその上部の下部マスク金属膜 470 とともに除去する。これにより、露光した部分の樹脂が有った部分のみ、下部マスク金属膜 47 が残ることとなる。

      (f) 電気メッキにより、露光した部分の樹脂後の下部マスク金属膜 47 の側面と上面に所定の材料、厚さの上部マスク金属膜 48  
25        を形成する。

(g) 不純物を基板上面より打ち込む。

(h) 上部と下部の金属マスクを除去する。

以降、層間絶縁膜の形成、コンタクトホール形成、ソース電極とドレイン電極の形成がなされる。

- 5      なお、本実施の形態の変形例として、導電性感光性樹脂（現時点では、両樹脂の混合物）を使用して、ゲート電極上部の感光しなかった部分の樹脂のみ打ち込みマスクとして残し、更にその側部に多少時間はかかるであろうが金属をめっきしてLDD形成用のマスクとしても良い。

10      （第5－3実施の形態）

本実施の形態は、ゲート電極をシリサイドや少くも1層のシリサイド層を有する多層で形成するものである。

- ただし、製造方法自体は既に説明したものと基本的には異なるないので、その説明は省略する。また構造も特に複雑でないので、専用の図は省略し、他の実施の形態の図を流用して示す。図33の(a) 15      はシリサイドのゲート電極の場合であり、同(e)は上部に金属電極414と下部のシリサイド電極413の場合である。

- 20      なお、この変形例として、ヒロック発生防止のために、下向きに凹の上部シリサイド電極とガラス基板とで下部アルミ電極を包む様にしても良いであろう。

    {第6の発明群}

- 25      本発明群は、LDDでない、従って上下のゲート電極の一方が他方に対して食み出し部を有さないのを除けば、第1から第4での発明群と同じである。このため、わざわざの専用の図面を使用する説明は省略する。

    （第6－1の実施の形態）

図30の(a)～(e)における上部のゲート金属43と下部のゲート金属42が、本図と異なりチャネル方向長さが等しく、ひいては食み出し部がない様に、丁度図23の(b)における13と41の様に、ドライエッチングで一度に形成される。この際、上部のゲート金属43と下部のゲート金属42の一方は電気抵抗の小さいアルミ合金であり、他方は水素へのマスク効果の大きいタングステンである。

本実施の形態では、ゲート絶縁膜がないため打ち込み電圧がその分低いこともあり、優れたTFETとなった。

10 {第7の発明群}

(第7-1の実施の形態)

本実施の形態は、基板上に特性の異なる複数の種類のLDD型TFETを形成するものである。

液晶表示装置の駆動回路部と画素等では、LDD型TFETに要求される特性が相違する等のため、用途によっては基板上の特定の位置に特定の性質を有するLDD型TFETの形成が必要となる。この場合、半導体素子の寸法、チャネル領域の長さ等は、フォットソングラフィにおけるマスクの孔の寸法を場所に応じたものとすれば良い。

20 次に、LDD部であるが、本実施の形態では、下部のゲート電極にメッキにより上部のゲート電極を形成する場合、メッキの時間や電圧、メッキする金属の種類を基板上の場所に応じて変化させるものである。

本実施の形態では、制御の容易性のもと、上部のゲート電極形成の厚さが大きな場合、メッキ時間を長くすることにより所望のLDD領域長さのTFETを得た。

これらの様子の一部を概念的に図 3 5 に示す。本図の ( a ) は場所により電圧を変える場合であり、( b ) はタイマースイッチを使用して場所により時間を変える場合である。

5      なお、本実施の形態の変形例として、多少手間がかかるが、場所毎にメッキ液の濃度や金属の種類を変えて行っても良い。この場合、L D D 部の長さは、異なるが、不純物打ち込み時のマスクとしての能力は、ほぼ同じとすることも可能である。

( 第 7 - 2 の実施の形態 )

10      本実施の形態は、基板上の形成位置に応じた特性の L D D 型 T F T を形成するのは、先の実施の形態と同じであるが、その手段として不純物打ち込み後に L D D 部直上の部分のゲート電極を除去するものである。

以下、図 3 6 を参照しつつ、本実施の形態を説明する。

( a ) 一応、基板 1 0 上に L D D 半導体 T F T が形成される。

15      ( b ) 不純物打ち込み後、食み出し部を除去しない部分にのみレジスト層 1 3 1 0 を形成する。

( c ) 食み出し部を形成する金属を酸素、フッ素等を使用するドライエッチングで除去する。従って、この部分では下部のゲート電極が食み出しているならば、上部のゲート電極がその下部のゲート  
20      電極をエッチングガスから保護する。

また、上部のゲート電極が下部のゲート電極に対して食み出しているならば、上部のゲート電極は全て除去されることとなる。本図では、液晶表示装置の画素部のみが、ゲート電極の一部が除去されることとなる。

25      以下層間絶縁膜の形成、コンタクトホール形成、ソース電極とドレイン電極の形成がなされる。

## (第7-3の実施の形態)

本実施の形態は、上部もしくは下部のゲート電極の所定量の食み出し量を場所に応じて変化させるため上部又は下部の電極を、他方の電極に対して食み出して形成するのに使用するフォトリソグラフィ用のマスクの孔の寸法を場所によりかえているものである。

このため、フォトリソグラフィのマスクの孔は最初から基板上の場所に応じたLDD型TFTの形成にあわせたものとなっている。ただし、その様なマスクやその様なマスクを使用する素子の製造方法自体は既に説明したものと基本的には異なるので、その説明は省略する。また構造も特に複雑でないで、図示は省略する。

以上、本発明を幾つかのその実施の形態に基づいて説明してきたが、本発明は何もこれらに限定されないのは勿論である。すなわち、例えば以下のようにしてもよい。

1) 用途は、液晶型テレビジョン受像機、ワードプロセッサ等の液晶表示装置以外、例えばELディスプレイである。

2) 半導体材料として、Si以外に、Si-Ge、Si-Ge-C等を使用している。

3) 第1-3の実施の形態において、(b)のパターン化されたアモルファスシリコン層の上部に金属薄膜をチャネル領域方向の長さが長いように形成した段階で、不純物イオンを打ち込み、しかる後アモルファスシリコンと金属薄膜との化学反応によるシリサイド層の形成とポリシリコンの熱処理とを兼ねて基板毎550℃～650℃で約20分程度の加熱を行なうようにしている。

4) 第1-3の実施の形態において(a)のアモルファスシリコンに換えてシリサイド膜を形成し、更に(b)と同じくパターン化し、この上に金属膜をシリサイドを完全に覆うように多少食み出し

て形成する。しかる後、(c)の工程を経ることなく不純物の注入を行なうようにしている。

5) 図3や図4に示すゲート電極のチャネル方向断面は、末(下)拡がりの台形でなく、長方形としている。

5 6.) パネルの形成において、いずれかのゲート電極用膜の形成は、反射板、画素電極等の形成をも兼ねている。

7) ボトムゲートの場合、基板側からの樹脂の露光の際に、半導体層は極力薄くし、また絶縁膜を透光性樹脂とし、これらに併せてあまり短波長の電磁波を使用しないようにしている。

10 8) LDD型のTFTは、その特性を変える等のため、上下の電極はチャネル方向に同じ長さとしており、またこのためGOLD構造でなくなっている。

#### 産業上の利用可能性

15 以上の説明で判るように本発明によれば、LDD構造を有し、かつ、ソース領域、低濃度不純物領域、チャネル領域、ドレイン領域を自己整合的に形成することができる薄膜トランジスタを実現できる。よって、OFF電流の低減を図り、且つON電流の低下を抑えることができる。また、自己整合的構造であるため、寄生容量を小  
20 さくすることができ、そのため微細化が可能となる。

また、ボトムゲート型の半導体素子にも適用しうる。

また、LDD構造を有さなくても、優れた半導体素子を得られる。

また、一枚の基板の各部に場所に応じた特性を有するLDD型TFTを形成可能となる。

25



## 請 求 の 範 囲

1. 基板上に形成されたソース領域、ドレイン領域、ゲート領域を有する半導体層と、ゲート絶縁膜と、ソース電極と、ドレイン電極と、ゲート絶縁膜上に形成されたゲート電極とを有する半導体素子において、

上記ゲート電極は、

シリサイド薄膜と金属薄膜からなる上下の2層からなり、更に一方の薄膜は他方の薄膜のソース電極側、ドレイン電極側の少くも一方に少し食み出して形成されたLDD形成マスク兼用ゲート電極であり、

上記半導体層は、

前記LDD形成マスク兼用ゲート電極を注入マスクにして不純物イオンを打ち込まれたため、上記シリサイド薄膜及び上記金属薄膜の位置と不純物イオンの打ち込み方向から定まるゲート電極位置対応領域に形成されたLDD領域を有していることを特徴とする半導体素子。

2. 基板上に形成されたソース領域、ドレイン領域、ゲート領域を有する半導体層と、ゲート絶縁膜と、ソース電極と、ドレイン電極と、ゲート絶縁膜上に形成されたゲート電極とを有する半導体素子において、

上記ゲート電極は、

上下のシリサイド薄膜からなり、更に一方の薄膜は他方の薄膜のソース電極側、ドレイン電極側の少くも一方に少し食み出して形成されたLDD形成マスク兼用ゲート電極であり、

上記半導体層は、

前記LDD形成マスク兼用ゲート電極を注入マスクにして不純物

イオンを打ち込まれたため、上記シリサイド薄膜及び上記金属薄膜の位置と不純物イオンの打ち込み方向から定まるゲート電極位置対応領域に形成されたLDD領域を有していることを特徴とする半導体素子。

- 5            3. 基板上に形成されたソース領域、ドレイン領域、ゲート領域を有する半導体層と、ゲート絶縁膜と、ソース電極と、ドレイン電極と、ゲート絶縁膜上に形成されたゲート電極とを有する半導体素子において、

上記ゲート電極は、

- 10          少くもシリサイド薄膜と金属薄膜とシリコン薄膜を有する多層からなり、更に不純物注入時のマスクとしては中央部が最も厚く、両端部が最も薄く、その中間部は中間の厚さ若しくは更に両側より中央側へ向かって除々に厚くなる多段LDD形成マスク兼用ゲート電極であり、

- 15          上記半導体層は、

前記多段LDD形成マスク兼用ゲート電極を注入マスクにして上方より不純物イオンを打ち込まれたため、上記マスク厚さと不純物イオンの打ち込み方向から定まる位置に形成された多段のLDD領域を有することを特徴とする半導体素子。

- 20           4. 基板上に形成されたソース領域、ドレイン領域、ゲート領域を有する半導体層と、ゲート絶縁膜と、ソース電極と、ドレイン電極と、ゲート絶縁膜上に形成されたゲート電極とを有する半導体素子において、

上記ゲート電極は、

- 25          高融点金属薄膜からなる層と、  
シリサイド薄膜からなる層と、

前記高融点金属薄膜層と前記シリサイド薄膜層に囲まれたアルミニウム薄膜からなる層とを有し、更にマスク厚さとしては、中央部が最も厚く、両端部が最も薄くなるＬＤＤマスク兼用含中間アルミ層ゲート電極であり、

5 上記半導体層は、

前記ＬＤＤマスク兼用含中間アルミ層ゲート電極を注入マスクにして上方より不純物イオンを打ち込まれたため、上記マスク厚さと不純物の打ち込み方向から定まる位置に形成された単段若しくは多段のＬＤＤ領域を有するＬＤＤ半導体素子であることを特徴とする半  
10 導体素子。

5. 前記シリサイド薄膜は、

チタンシリサイド、コバルトシリサイド、ニッケルシリサイド、ジルコニウムシリサイド、モリブデンシリサイド、パラジウムシリ  
15 サイド、白金シリサイドの群より選択された特定材料シリサイド薄膜であることを特徴とする請求項１、請求項２、請求項３若しくは  
請求項４記載の半導体素子。

6. 前記少くも１の金属薄膜若しくは高融点金属薄膜は、

構成する金属元素が、前記シリサイドを構成する金属元素と同一  
20 の同一材料金属薄膜であることを特徴とする請求項５記載の半導体素子。

7. 前記半導体素子は、

上記ソース電極と上記ソース領域の接触部及び上記ドレイン電極  
と上記ドレイン領域の接触部とに、前記ゲート電極のシリサイド薄  
膜と同じ材質のシリサイド薄膜層を有していることを特徴とする請  
25 求項１、請求項２、請求項３若しくは請求項４記載の半導体素子。

8. 前記半導体素子は、

上記ソース電極と上記ソース領域の接触部及び上記ドレイン電極と上記ドレイン領域の接触部とに、前記ゲート電極のシリサイド薄膜と同じ材質のシリサイド薄膜層を有していることを特徴とする請求項 5 記載の半導体素子。

5            9. 前記半導体素子は、

上記ソース電極と上記ソース領域の接触部及び上記ドレイン電極と上記ドレイン領域の接触部とに、前記ゲート電極のシリサイド薄膜と同じ材質のシリサイド薄膜層を有していることを特徴とする請求項 6 記載の半導体素子。

10           10. 基板上所定位置に半導体層を形成し更に形成されたこの半導体層上にゲート絶縁膜を形成する基本形成ステップと、

上記形成されたゲート絶縁膜上に少くもシリサイド薄膜層を一層含む複数層を有し、更に少くも 1 の層は他の層のソース電極、ドレイン電極の少なくとも 1 の方向に食み出しこのため不純物打ち込み時のマスクとして中央部が最も厚く、ソース電極、ドレイン電極の少なくとも 1 の方向には食み出した方向の順に薄くなる構造の不純物打ち込み時のマスクを兼ねたゲート電極を形成するゲート電極形成ステップと、

上記形成されたゲート電極を注入マスクとして上記半導体層に不純物イオンの打ち込みを行って、マスクが全く存在しないため不純物イオンの打ち込み量の多いソース領域及びドレイン領域、食み出し部のみがマスクとなるため不純物イオンの注入が少ない LDD 領域並びに全薄膜層がマスクとなるため不純物イオンの打ち込みがなされないチャネル領域とからなる LDD 構造を有する半導体層を形成する打ち込みステップとを有していることを特徴とする半導体素子の製造方法。

- 1 1 . 基板上所定位置に半導体層を形成し、更に形成されたこの半導体層上にゲート絶縁膜を形成する基本形成ステップと、
- 上記形成されたゲート絶縁膜上部に多層構造のゲート電極の下部層としてのシリコン薄膜若しくは金属薄膜を形成する下部薄膜形成
- 5 ステップと、
- 上記形成された下部薄膜を完全に覆うだけでなくチャネル領域方向に食み出し部を有するように上部層としての金属薄膜若しくはシリコン薄膜を形成して、上下層で材料の異なるゲート電極を一応形成するゲート電極形成ステップと、
- 10 上記ゲート電極の形成された基板を所定の温度に晒して、上記シリコン薄膜と上記金属薄膜とを反応させることにより、両層の界面部にシリサイド層を形成するシリサイド層形成ステップと、
- 上記ゲート電極形成ステップにて一応形成されたゲート電極若しくは上記シリサイド層形成ステップにて形成されたシリサイド層を
- 15 含むゲート電極をマスクとして不純物イオンの打ち込みを行って、マスクが全く存在しないため不純物イオンの打ち込み量の多いソース領域及びドレイン領域、上記食み出し部のみがマスクとなるため不純物イオンの打ち込み量の少ないLDD領域並びに上記上下の2層が重なるため不純物イオンの打ち込みがなされないチャネル領域
- 20 とからなるLDD構造の半導体層を形成する打ち込みステップとを有していることを特徴とする半導体素子の製造方法。

## 1 2 . 前記打ち込みステップに先立って

- 上記ゲート電極下部に位置する部分を除く上記ゲート絶縁膜を一旦除去するゲート絶縁膜一部除去ステップと、
- 25 前記打ち込みステップ終了後に、一旦ゲート絶縁膜を除去した部分にゲート絶縁膜を再度形成するゲート絶縁膜再形成ステップとを

有していることを特徴とする請求項 10 若しくは請求項 11 記載の半導体素子の製造方法。

13. 基板上にパターン化して配列されたトップゲート型の LDD 構造を有する薄膜半導体素子の製造方法であって、

5 基板上のパターン化された半導体層の上部に形成されたゲート絶縁膜上に所定形状の下部のゲート電極を形成する下部ゲート電極形成ステップと、

上記形成された下部ゲート電極を利用して、ゲート電極がそのソース電極側とドレイン電極側の少くも一方端に中央に比較して不純物打ち込み時にマスク能力の劣る側部を有することとなる形状になる様に上部のゲート電極を下部のゲート電極に密接して形成する上部ゲート電極形成ステップと、

前記両ステップにより上記ソース電極側、ドレイン電極側の少くも一方の側に中央部に比較してマスク能力の劣る側部を有することとなるゲート電極をマスクとして使用して、上記半導体層に不純物を打ち込む不純物打ち込みステップとを有していることを特徴とするトップゲート型の LDD 構造の薄膜半導体素子の製造方法。

14. 基板上にパターン化して配列されたトップゲート型の LDD 構造を有する薄膜半導体素子の製造方法であって、

20 基板上のパターン化された半導体層の上部に形成されたゲート絶縁膜上に所定形状の下部のゲート電極を形成する下部ゲート電極形成ステップと、

上記形成された下部ゲート電極をマスクとして、上記半導体層に不純物を軽く打ち込む不純物軽打ち込みステップと、

25 前記不純物軽打ち込みステップの終了後、上記下部ゲート電極を利用してその上部に、そのソース電極側及びドレイン電極側の少く

も一方の側に食み出した部分を有する上部ゲート電極を密接して形成する上部ゲート電極形成ステップと、前記下部ゲート電極形成ステップと上部ゲート電極形成ステップにて形成された、上下２段構造のゲート電極をマスクとして使用して、上記半導体層に不純物を打ち込む不純物打ち込みステップとを有していることを特徴とするトップゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

１５． 前記上部ゲート電極形成ステップは、

下部ゲート電極を一方の電極として所定の金属をメッキにより付着させるメッキ利用ＬＤＤ部用マスク形成ステップであることを特徴とする請求項１３若しくは請求項１４記載のトップゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

１６． 前記メッキ利用ＬＤＤ部用マスク形成ステップは、

めっきとして、電界めっき若しくは無電界めっきで行う所定めっき利用ＬＤＤ部用マスク形成ステップであることを特徴とする請求項１５記載のトップゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

１７． 前記上部ゲート電極形成ステップは、

上下の密接して形成された上部ゲート電極形成用膜と下部ゲート電極形成用膜とを下部ゲート電極の形状に同時にエッチングするエッチング小ステップと、

エッチングされた上部のゲート電極形成用膜を陽極酸化する陽極酸化小ステップとを有していることを特徴とする請求項１３記載のトップゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

１８． 前記上部ゲート電極形成ステップは、

下部ゲート電極を所定の物体に晒して反応させ、そのソース電極側、ドレイン電極側の少くも一方に、反応により生じた密度の低い

化合物からなる側部を形成する反応利用 L D D 部用マスク形成ステップであることを特徴とする請求項 1 3 若しくは請求項 1 4 記載のトップゲート型の L D D 構造の薄膜半導体素子の製造方法。

1 9 . 基板上にパターン化して配列されたトップゲート型の L D D 構造を有する薄膜半導体素子の製造方法であって、

基板上的パターン化された半導体層の上部に形成されたゲート絶縁膜上に所定形状の下部のゲート電極を形成する下部ゲート電極形成ステップと、

上記形成された下部ゲート電極上に、少くもフォットソングラフィとエッチングを使用することにより、下部ゲート電極のソース電極側とドレイン電極側の少くも一方の端部が食み出ることとなる上部ゲート電極を密接して形成する上部ゲート電極形成ステップと、

前記両ステップにより上記ソース電極側、ドレイン電極側の少くも一方の側に中央部に比較してマスク能力の劣る側部を有することとなるゲート電極をマスクとして使用して、上記半導体層に不純物を打ち込む不純物打ち込みステップとを有していることを特徴とするトップゲート型の L D D 構造の薄膜半導体素子の製造方法。

2 0 . 基板上にパターン化して配列されたトップゲート型の L D D 構造を有する薄膜半導体素子の製造方法であって、

20 基板上的パターン化された半導体層の上部に形成されたゲート絶縁膜上に所定形状の下部のゲート電極を形成する下部ゲート電極形成ステップと、

上記形成された下部ゲート電極をマスクとして、上記半導体層に不純物を軽く打ち込む不純物軽打ち込みステップと、

25 前記不純物軽打ち込みステップの終了後、上記下部ゲート電極上に、少くもフォットソングラフィとエッチングを使用することによ



り、下部ゲート電極のソース電極側及びドレイン電極側の少くも一方の端部が食み出ることとなる上部ゲート電極を密接して形成する上部ゲート電極形成ステップと、

前記下部ゲート電極形成ステップと上部ゲート電極形成ステップ  
5 にて形成された、上下２段構造のゲート電極をマスクとして使用して、上記半導体層に不純物を打ち込む不純物打ち込みステップとを有していることを特徴とするトップゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

21. 前記上部ゲート電極形成ステップの終了後、前記不純  
10 物打ち込みステップに先立って、マスクとして使用する２段構造のゲート電極下部のゲート絶縁膜を一旦除去するゲート絶縁膜除去ステップと、

前記不純物打ち込みステップの後に、上記ゲート絶縁膜を除去した部分の半導体層上部に再度ゲート絶縁膜を形成するゲート絶縁膜  
15 再形成ステップとを有していることを特徴とする請求項１３、請求項１４、請求項１９若しくは請求項２０記載のトップゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

22. 前記上部ゲート電極形成ステップの終了後、前記不純  
物打ち込みステップに先立って、マスクとして使用する２段構造の  
20 ゲート電極下部のゲート絶縁膜を一旦除去するゲート絶縁膜除去ステップと、

前記不純物打ち込みステップの後に、上記ゲート絶縁膜を除去した部分の半導体層上部に再度ゲート絶縁膜を形成するゲート絶縁膜  
再形成ステップとを有していることを特徴とする請求項１５記載の  
25 トップゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

23. 前記ゲート絶縁膜除去ステップ後に、半導体層上に所

定の厚さの水素吸着性金属膜を形成する水素吸着性金属膜形成ステップと、

前記不純物注入ステップの後、前記ゲート絶縁膜再形成ステップに先立って、前記半導体上に形成した水素吸着性金属膜をソース電  
5 極部とコンタクト電極部を残して除去する水素吸着性金属膜除去ステップと、

ソース電極、ドレイン電極形成のため、上記再度形成されたゲート絶縁膜上両電極形成部にコンタクトホールを形成する際に、上記残した水素吸着性金属膜をエッチングストッパーとして利用する水  
10 素吸着性金属膜利用コンタクトホール形成ステップとを有していることを特徴とする請求項 21 記載のトップゲート型の LDD 構造の薄膜半導体素子の製造方法。

24. 前記不純物注入ステップ終了後に、前記 LDD 部用マスク形成ステップ若しくは前記下部ゲート電極形成ステップと上部  
15 電極形成ステップにより、上部ゲート電極若しくは下部ゲート電極の一方の側部が他方の電極に対してソース電極側、ドレイン電極側に対して食み出した部分を除去することとなる電極不必要除去ステップを有していることを特徴とする請求項 13、請求項 14、請求項 19 若しくは請求項 20 記載のトップゲート型の LDD 構造の薄  
20 膜半導体素子の製造方法。

25. 前記不純物注入ステップ終了後に、前記 LDD 部用マスク形成ステップ若しくは前記下部ゲート電極形成ステップと上部電極形成ステップにより、上部ゲート電極若しくは下部ゲート電極の一方の側部が他方の電極に対してソース電極側、ドレイン電極側  
25 に対して食み出した部分を除去することとなる電極不必要除去ステップを有していることを特徴とする請求項 15 記載のトップゲート

型のLDD構造の薄膜半導体素子の製造方法。

26. 前記不純物注入ステップ終了後に、前記LDD部用マスク形成ステップ若しくは前記下部ゲート電極形成ステップと胸部電極形成ステップにより、上部ゲート電極若しくは下部ゲート電極  
5 一方の側部が他方の電極に対してソース電極側、ドレイン電極側に対して食み出した部分を除去することとなる電極不必要除去ステップを有していることを特徴とする請求項21記載のトップゲート型のLDD構造の薄膜半導体素子の製造方法。

27. 前記不純物注入ステップ終了後に、前記LDD部用マスク形成ステップ若しくは前記下部ゲート電極形成ステップと胸部電極形成ステップにより、上部ゲート電極若しくは下部ゲート電極  
10 一方の側部が他方の電極に対してソース電極側、ドレイン電極側に対して食み出した部分を除去することとなる電極不必要除去ステップを有していることを特徴とする請求項23記載のトップゲート型のLDD構造の薄膜半導体素子の製造方法。  
15

28. 基板上にパターン化して配列されたボトムゲート型のLDD構造を有する薄膜半導体素子の製造方法であって、

基板上にパターン化された所定のゲート電極を形成するゲート電極形成ステップと、

20 上記形成されたゲート電極上部に、順にゲート絶縁膜、パターン化された半導体層若しくはこれらに加えての層間絶縁膜層を形成する上部素子構成層形成ステップと、

前記上部素子構成層形成ステップにて形成された最上部の層の上記ゲート電極の直上部に主マスクを形成する主マスク形成ステップ

25 と、

上記形成された主マスクを利用して、そのソース電極側とドレイ

ン電極側の少なくとも一方端に中央部に比較して不純物打ち込み時にマスク能力の劣る側部を、上部形成された主マスクを利用して密接して形成する上部マスク形成ステップと、

- 上記形成された主マスクと上部マスクをマスクとして、上部より
- 5 上記半導体層に不純物を打ち込む不純物打ち込みステップとを有していることを特徴とするボトムゲート型のLDD構造の薄膜半導体素子の製造方法。

29. 基板上にパターン化して配列されたボトムゲート型のLDD構造を有する薄膜半導体素子の製造方法であって、

- 10 基板上にパターン化された所定のゲート電極を形成するゲート電極形成ステップと、

上記形成されたゲート電極上部に、順にゲート絶縁膜、パターン化された半導体層若しくはこれらに加えての層間絶縁膜層を形成する上部素子構成層形成ステップと、

- 15 前記上部素子構成層形成ステップにて形成された最上部の層の上記ゲート電極の直上部に主マスクを形成する主マスク形成ステップと、

上記形成された主マスクをマスクとして、上記半導体層に不純物を軽く打ち込む、不純物軽打ち込みステップと、

- 20 前記不純物軽打ち込みステップ終了後上記形成された主マスクを利用して、そのソース電極側とドレイン電極側の少なくとも一方端に食み出した部分を有する上部マスクを上記主マスクに密接して形成する上部マスク形成ステップと、

- 上記主マスクと上部マスクをマスクとして使用して、上記半導体
- 25 層に不純物を打ち込む不純物打ち込みステップとを有していることを特徴とするボトムゲート型のLDD構造の薄膜半導体素子の製造

方法。

30. 前記主マスク形成ステップは、

前記上部素子構成層形成ステップにて形成された最上部の層の更に上部に感光性樹脂層を形成する感光性樹脂層形成小ステップと、

- 5 上記感光性樹脂層の形成された基板の基板側より上記ゲート電極をマスクとして短波長の電磁波を照射して、上記ゲート電極に対応した部分の感光性樹脂のみ露光させないゲート電極対応露光小ステップと、

- 前記ゲート電極対応露光小ステップにて、露光しなかった部分の  
10 上記感光性樹脂をそのまま使用するか、他の材料で形成するかを問わず、ともかく露光しなかった部分の感光性樹脂を利用して、前記主マスクを形成する感光性樹脂非露光部利用主マスク形成小ステップとを有していることを特徴とする請求項28若しくは請求項29記載のボトムゲート型のLDD構造の薄膜半導体素子の製造方法。

- 15 31. 前記主マスク形成ステップは主マスクとして金属を使用するものであり、更に、

前記上部マスク形成ステップは、

- 主マスクを一方の電極として所定の金属をメッキにより付着させるメッキ利用上部マスク形成ステップであることを特徴とする請求  
20 項28若しくは請求項29記載のボトムゲート型のLDD構造の薄膜半導体素子の製造方法。

32. 前記主マスク形成ステップは主マスクとして金属を使用するものであり、更に、

前記上部マスク形成ステップは、

- 25 主マスクを一方の電極として所定の金属をメッキにより付着させるメッキ利用上部マスク形成ステップであることを特徴とする請求

項 30 記載のボトムゲート型の LDD 構造の薄膜半導体素子の製造方法。

33. 前記上部マスク形成ステップは、

主マスクを所定の物体に晒して反応させ、そのソース電極側、ド  
5 レイン電極側の少くも一方に、反応により生じた密度の低い化合物  
からなる側部を形成する反応利用上部マスク形成ステップであるこ  
とを特徴とする請求項 28 若しくは請求項 29 記載のボトムゲート  
型の LDD 構造の薄膜半導体素子の製造方法。

34. 前記主マスク形成ステップは、

10 前記上部マスク形成ステップは主マスクを所定の物体に晒して反  
応させ、そのソース電極側、ドレイン電極側の少くも一方に、反応  
により生じた密度の低い化合物からなる側部を形成する反応利用上  
部マスク形成ステップであることを特徴とする請求項 30 記載のボ  
トムゲート型の LDD 構造の薄膜半導体素子の製造方法。

15 35. 基板上にパターン化して配列されたボトムゲート型  
の LDD 構造を有する薄膜半導体素子の製造方法であって、

基板上にパターン化された所定のゲート電極を形成するゲート電  
極形成ステップと、

上記形成されたゲート電極上部に、順にゲート絶縁膜、パターン  
20 化された半導体層若しくはこれらに加えての層間絶縁膜層を形成す  
る上部素子構成層形成ステップと、

前記上部素子構成層形成ステップにて形成された最上部の層の上  
記ゲート電極の直上部に主マスクを形成する主マスク形成ステップ  
と、

25 上記形成された主マスクを利用して、そのソース電極側とドレイ  
ン電極側の少なくとも一方端に中央部に比較して不純物打ち込み時に

マスク能力の劣る側部を有する上部マスクを少くもフォットソングラフィとエッチングを使用する方法にて形成する上部マスク形成ステップと、

- 上記形成された主マスクと上部マスクをマスクとして、上部より
- 5 上記半導体層に不純物を打ち込む不純物打ち込みステップとを有していることを特徴とするボトムゲート型のLDD構造の薄膜半導体素子の製造方法。

36. 基板上にパターン化して配列されたボトムゲート型のLDD構造を有する薄膜半導体素子の製造方法であって、

- 10 基板上にパターン化された所定のゲート電極を形成するゲート電極形成ステップと、

上記形成されたゲート電極上部に、順にゲート絶縁膜、パターン化された半導体層若しくはこれらに加えての層間絶縁膜層を形成する上部素子構成層形成ステップと、

- 15 前記上部素子構成層形成ステップにて形成された最上部の層の上記ゲート電極の直上部に主マスクを形成する主マスク形成ステップと、

上記形成された主マスクをマスクとして、上記半導体層に不純物を軽く打ち込む不純物軽打ち込みステップと、

- 20 前記不純物軽打ち込みステップ終了後、上記形成された主マスクの上部に、主マスクのソース電極側とドレイン電極側の少なくとも一方端に食み出した部分を有する上部マスクを少くもフォットソングラフィとエッチングを使用する方法にて形成する上部マスク形成ステップと、

- 25 上記主マスクと上部マスクをマスクとして使用して、上記半導体層に不純物を打ち込む不純物打ち込みステップとを有していること

を特徴とするボトムゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

３７． 前記主マスク形成ステップは、

前記上部素子構成層形成ステップにて形成された最上部の層の更に上部に感光性樹脂層を形成する感光性樹脂層形成小ステップと、

上記感光性樹脂層の形成された基板の基板側より上記ゲート電極をマスクとして可視光やより短波長の電磁波を照射して、上記ゲート電極に対応した部分の感光性樹脂のみ露光させないゲート電極対応露光小ステップと、

前記ゲート電極対応露光小ステップにて、露光しなかった部分の上記感光性樹脂をそのまま使用するか、他の材料で形成するかを問わず、ともかく露光しなかった部分の感光性樹脂を利用して、前記主マスクを形成する感光性樹脂非露光部利用主マスク形成小ステップとを有していることを特徴とする請求項３５若しくは請求項３６記載のボトムゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

３８． 前記不純物打ち込みステップは、

上記半導体層の上面に層間絶縁膜が存在しない状態で不純物を打ち込む裸半導体層不純物打ち込みステップであり、

更に、該不純物打ち込みステップ終了後、上記主マスク及びＬＤＤ部用マスクを除去後、上記半導体層上部に層間絶縁膜を形成する層間絶縁膜再形成ステップとを有していることを特徴とする請求項２８、請求項２９、請求項３０、請求項３１、請求項３２、請求項３３、請求項３４、請求項３５若しくは請求項３６記載のボトムゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

３９． 前記不純物打ち込みステップは、

上記半導体層の上面に層間絶縁膜が存在しない状態で不純物を打



ち込む裸半導体層不純物打ち込みステップであり、

更に、該不純物打ち込みステップ終了後、上記主マスク及びLDD部用マスクを除去後、上記半導体層上部に層間絶縁膜を形成する層間絶縁膜再形成ステップとを有していることを特徴とする請求項530記載のボトムゲート型のLDD構造の薄膜半導体素子の製造方法。

40. 前記不純物打ち込みステップは、

上記半導体層の上面に層間絶縁膜が存在しない状態で不純物を打ち込む裸半導体層不純物打ち込みステップであり、

10 更に、該不純物打ち込みステップ終了後、上記主マスク及びLDD部用マスクを除去後、上記半導体層上部に層間絶縁膜を形成する層間絶縁膜再形成ステップとを有していることを特徴とする請求項31記載のボトムゲート型のLDD構造の薄膜半導体素子の製造方法。

15 41. 前記上部素子層形成ステップ後前記不純物打ち込みステップ前に、半導体層上に所定の厚さの水素吸着性金属膜を形成する水素吸着性金属膜形成ステップと、

前記不純物打ち込みステップの後、前記層間絶縁膜再形成ステップに先立って、前記半導体上に形成した水素吸着性金属膜をソース電極部とコンタクト電極部を残して除去する水素吸着性金属膜除去ステップと、

ソース電極、ドレイン電極形成のため、上記再度形成された層間絶縁膜上両電極形成部にコンタクトホールを形成する際に、上記残した水素吸着性金属膜をエッチングストッパーとして利用する水素吸着性金属膜利用コンタクトホール形成ステップとを有していることを特徴とする請求項38記載のボトムゲート型のLDD構造の薄

膜半導体素子の製造方法。

42. 前記上部素子層形成ステップ後前記不純物打ち込みステップ前に、半導体に所定の厚さの水素吸着性金属膜を形成する水素吸着性金属膜形成ステップと、

- 5 前記不純物打ち込みステップの後、前記層間絶縁膜再形成ステップに先立って、前記半導体上に形成した水素吸着性金属膜をソース電極部とコンタクト電極部を残して除去する水素吸着性金属膜除去ステップと、

ソース電極、ドレイン電極形成のため、上記再度形成された層間  
10 絶縁膜上両電極形成部にコンタクトホールを形成する際に、上記残した水素吸着性金属膜をエッチングストッパーとして利用する水素吸着性金属膜利用コンタクトホール形成ステップとを有していることを特徴とする請求項39記載のボトムゲート型のLDD構造の薄膜半導体素子の製造方法。

- 16 43. 前記上部素子層形成ステップ後前記不純物打ち込みステップ前に、半導体に所定の厚さの水素吸着性金属膜を形成する水素吸着性金属膜形成ステップと、

前記不純物打ち込みステップの後、前記層間絶縁膜再形成ステップに先立って、前記半導体上に形成した水素吸着性金属膜をソース  
20 電極部とコンタクト電極部を残して除去する水素吸着性金属膜除去ステップと、

ソース電極、ドレイン電極形成のため、上記再度形成された層間  
絶縁膜上両電極形成部にコンタクトホールを形成する際に、上記残  
した水素吸着性金属膜をエッチングストッパーとして利用する水素  
25 吸着性金属膜利用コンタクトホール形成ステップとを有していることを特徴とする請求項40記載のボトムゲート型のLDD構造の薄

膜半導体素子の製造方法。

44. 基板上にパターン化して配列されたトップゲート型のLDD構造の半導体素子であって、

上部ゲート電極と、

- 5      ソース電極側、ドレイン電極側の少くも一方の側部が前記上部ゲート電極より食み出し、かつ前記上部ゲート電極に密接して形成された下部ゲート電極と、

- 前記上部ゲート電極と下部電極の直下のチャンネル領域と前記下部電極の食み出し部の直下のLDD領域と前記上部ゲート電極及び  
10    下部電極に覆われていないソース領域及びドレイン領域を有する半導体部とを有していることを特徴とするトップゲート型のLDD構造の半導体素子。

45. 基板上にパターン化して配列されたトップゲート型のLDD構造の半導体素子であって、

- 15    下部ゲート電極と、

ソース電極側、ドレイン電極側の少くも一方の側部が前記下部ゲート電極より食み出し、かつ前記上部ゲート電極に密接して形成された上部ゲート電極と、

- 前記上部ゲート電極と下部電極の直下のチャンネル領域と前記上  
20    部電極の食み出し部の直下のLDD領域と前記上部ゲート電極及び下部電極に覆われていないソース領域及びドレイン領域を有する半導体部とを有していることを特徴とするトップゲート型のLDD構造の半導体素子。

46. 前記上部ゲート電極は、

- 25    前記下部ゲート電極外表面に金属をメッキすることにより形成されたメッキ型上部ゲート電極であることを特徴とする請求項45記

載のトップゲート型のLDD構造の半導体素子。

47. ソース電極及びドレイン電極は、

その半導体層との接触部にシリサイド層と、

該シリサイド層上部のシリサイド形成金属層とを有していること

5 を特徴とする請求項44、請求項45若しくは請求項46記載のトップゲート型のLDD構造の半導体素子。

48. ゲート絶縁層は、

上記上部及び下部のゲート電極直下若しくはこれに加えてのその近傍とその他の部分とで異なった時期に形成されたものであること

10 を特徴とする請求項44、請求項45若しくは請求項46記載のトップゲート型のLDD構造の半導体素子。

49. ゲート絶縁層は、

上記上部及び下部のゲート電極直下若しくはこれに加えてのその近傍とその他の部分とで異なった時期に形成されたものであること

15 を特徴とする請求項48記載のトップゲート型のLDD構造の半導体素子。

50. 前記上部ゲート電極若しくは下部ゲート電極の一方は、

例えばCu、Al、Ag、Au等の低抵抗金属材料を使用している等のため電気比抵抗が $5\Omega\cdot\text{cm}$ 以下の低抵抗電極であり、

前記他方の下部ゲート電極若しくは上記ゲート電極は、

例えばW、Mo、Co、Ta、Au、Nb、Ag等の密度8以上の高密度金属材料若しくはZrやTiやTi系金属等の水素吸着性金属を使用しているため、不純物打ち込み時に打ち込まれる水素イ  
25 オンのマスク能力の高い高マスク電極であることを特徴とする請求項44、請求項45若しくは請求項46記載のトップゲート型のL

D D 構造の半導体素子。

5 1 . 前記上部ゲート電極若しくは下部ゲート電極の一方は、

例えば Cu、Al、Ag、Au 等の低抵抗金属材料を使用している等のため電気比抵抗が  $5 \Omega \cdot \text{cm}$  以下の低抵抗電極であり、

前記他方の下部ゲート電極若しくは上記ゲート電極は、

例えば W、Mo、Co、Ta、Au、Nb、Ag 等の密度 8 以上の高密度金属材料若しくは Zr や Ti や Ti 系金属等の水素吸着性金属を使用しているため、不純物打ち込み時に打ち込まれる水素イオンのマスク能力の高い高マスク電極であることを特徴とする請求項 4 7 記載のトップゲート型の L D D 構造の半導体素子。

5 2 . 前記上部ゲート電極若しくは下部ゲート電極の一方は、

例えば Cu、Al、Ag、Au 等の低抵抗金属材料を使用している等のため電気比抵抗が  $5 \Omega \cdot \text{cm}$  以下の低抵抗電極であり、

前記他方の下部ゲート電極若しくは上記ゲート電極は、

例えば W、Mo、Co、Ta、Au、Nb、Ag 等の密度 8 以上の高密度金属材料若しくは Zr や Ti や Ti 系金属等の水素吸着性金属を使用しているため、不純物打ち込み時に打ち込まれる水素イオンのマスク能力の高い高マスク電極であることを特徴とする請求項 4 8 記載のトップゲート型の L D D 構造の半導体素子。

5 3 . 前記上部ゲート電極若しくは下部ゲート電極の一方は、

例えば Cu、Al、Ag、Au 等の低抵抗金属材料を使用している等のため電気比抵抗が  $5 \Omega \cdot \text{cm}$  以下の低抵抗電極であり、

前記他方の下部ゲート電極若しくは上記ゲート電極は、

例えば W、Mo、Co、Ta、Au、Nb、Ag 等の密度 8 以上の高密度金属材料若しくは Zr や Ti や Ti 系金属等の水素吸着性金属を使用しているため、不純物打ち込み時に打ち込まれる水素イオンのマスク能力の高い高マスク電極であることを特徴とする請求項 49 記載のトップゲート型の LDD 構造の半導体素子。

54. 上記基板は、

液晶表示装置の TFT アレイ基板であり、

前記下部ゲート電極若しくは上部ゲート電極の一方は、

画素部の透明導電膜と同一工程で形成されたため透明導電膜製であることを特徴とする請求項 44、請求項 45 若しくは請求項 46 記載のボトムゲート型の LDD 構造の薄膜半導体素子の製造方法。

55. 上記基板は、

液晶表示装置の TFT アレイ基板であり、

前記下部ゲート電極若しくは上部ゲート電極の一方は、

15 画素部の透明導電膜と同一工程で形成されたため透明導電膜製であることを特徴とする請求項 47 記載のボトムゲート型の LDD 構造の薄膜半導体素子の製造方法。

56. 上記基板は、

液晶表示装置の TFT アレイ基板であり、

20 前記下部ゲート電極若しくは上部ゲート電極の一方は、

画素部の透明導電膜と同一工程で形成されたため透明導電膜製であることを特徴とする請求項 48 記載のボトムゲート型の LDD 構造の薄膜半導体素子の製造方法。

57. 上記基板は、

25 液晶表示装置の TFT アレイ基板であり、

前記下部ゲート電極若しくは上部ゲート電極の一方は、

画素部の透明導電膜と同一工程で形成されたため透明導電膜製であることを特徴とする請求項４９記載のボトムゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

５８． 上記基板は、

５ 反射型液晶表示装置のＴＦＴアレイ基板であり、

前記下部ゲート電極若しくは上部ゲート電極の一方は、

画素部の反射膜と同一工程で形成されたため良好反射性金属膜製であることを特徴とする請求項４４、請求項４５若しくは請求項４６記載のボトムゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

１０ ５９． 上記基板は、

反射型液晶表示装置のＴＦＴアレイ基板であり、

前記下部ゲート電極若しくは上部ゲート電極の一方は、

画素部の反射膜と同一工程で形成されたため良好反射性金属膜製であることを特徴とする請求項４７記載のボトムゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

６０． 上記基板は、

反射型液晶表示装置のＴＦＴアレイ基板であり、

前記下部ゲート電極若しくは上部ゲート電極の一方は、

画素部の反射膜と同一工程で形成されたため良好反射性金属膜製であることを特徴とする請求項５０記載のボトムゲート型のＬＤＤ構造の薄膜半導体素子の製造方法。

６１． 基板上にパターン化して配列された、そしてゲート絶縁膜上に上下に密接して形成された上部ゲート電極と下部ゲート電極からなるゲート電極を有するトップゲート型の半導体素子であって、

上記上部ゲート電極若しくは下部ゲート電極の一方は、

例えば Cu、Al、Ag、Au 等の低抵抗金属材料を使用している等のため電気比抵抗が  $5 \Omega \cdot \text{cm}$  以下の低抵抗電極であり、

前記他方の下部ゲート電極若しくは上記ゲート電極は、

例えば W、Mo、Co、Ta、Au、Nb、Ag 等の密度 8 以上の高密度金属材料若しくは Zr や Ti や Ti 系金属等の水素吸着性金属を使用しているため、不純物打ち込み時に打ち込まれる水素イオンのマスク能力の高い高マスク電極であることを特徴とするトップゲート型の半導体素子。

62. ソース電極及びドレイン電極は、

10 その半導体層との接触部にシリサイド層と、

該シリサイド層上部のシリサイド形成金属層とを有していることを特徴とする請求項 61 記載のトップゲート型の半導体素子。

63. 上記ゲート絶縁層は、

15 上記上部及び下部のゲート電極直下若しくはこれに加えてのその近傍とその他の部分とで異なった時期に形成されたものであることを特徴とする請求項 61 若しくは請求項 62 記載のトップゲート型の半導体素子。

64. 基板上にパターン化して配列された、そしてゲート絶縁膜上に上下に密接して形成された上部ゲート電極と下部ゲート電極からなるゲート電極を有するトップゲート型の LDD 構造の半導体素子であって、

上記上部ゲート電極若しくは下部ゲート電極の一方は、

例えば Cu、Al、Ag、Au 等の低抵抗金属材料を使用している等のため電気比抵抗が  $5 \Omega \cdot \text{cm}$  以下の低抵抗電極であり、

25 前記他方の下部ゲート電極若しくは上記ゲート電極は、

例えば W、Mo、Co、Ta、Au、Nb、Ag 等の密度 8 以上



の高密度金属材料若しくはZrやTiやTi系金属等の水素吸着性金属を使用しているため、不純物打ち込み時に打ち込まれる水素イオンのマスク能力の高い高マスク電極であることを特徴とするトップゲート型のLDD構造の半導体素子。

5            65. ソース電極及びドレイン電極は、

その半導体層との接触部にシリサイド層と、

該シリサイド層上部のシリサイド形成金属層とを有していることを特徴とする請求項64記載のトップゲート型のLDD構造の半導体素子。

10           66. 上記ゲート絶縁層は、

上記上部及び下部のゲート電極直下若しくはこれに加えてのその近傍とその他の部分とで異なった時期に形成されたものであることを特徴とする請求項64若しくは請求項65記載のトップゲート型のLDD構造の半導体素子。

15           67. 画素部とその周辺の駆動回路部が一体に形成された基板の如く、基板上の位置によりLDD型TFETに要求される特性が異なるため、該要求され特性に応じたLDD型TFETを装備するため、

20           基板上の一部領域は、上部ゲート電極と、ソース電極側、ドレイン電極側の少くも一方の側部が前記上部ゲート電極より食み出し、かつ前記上部ゲート電極に密接して形成された下部ゲート電極とからなるか、逆に、下部ゲート電極と、ソース電極側、ドレイン電極側の少くも一方の側部が前記下部ゲート電極より食み出し、かつ前記上部ゲート電極に密接して形成された上部ゲート電極とからなる  
25           2段構造ゲート電極と、

前記上部ゲート電極と下部電極の直下のチャンネル領域と前記上

部電極若しくは下部電極の食み出し部の直下のLDD領域と前記上部ゲート電極及び下部電極に覆われていないソース領域及びドレイン領域を有する半導体部とを有し、

基板上の他の領域若しくは他の一部領域は、

- 5 上部のゲート電極と該上部ゲート電極に密接して形成された下部ゲート電極とからなる、そして上下いずれのゲート電極も食み出し部を有さない2段の柱状のゲート電極からなるか、単一のゲート電極からなる不純物注入時完全マスク兼用ゲート電極と、

- 10 前記不純物注入時完全マスク兼用ゲート電極直下のチャネル領域と、該チャネル領域のソース電極側、ドレイン電極側の少なくとも一方の側部のLDD領域と、それら両領域両端のソース領域及びドレイン領域を有する半導体部を有していることを特徴とする基板。

68. 前記基板は、

液晶表示装置用のTFTアレイ基板であり、

- 15 上記画素部に形成されたLDD型TFTは、

前記上部ゲート電極若しくは下部ゲート電極の一方は、

例えばCu、Al、Ag、Au等の低抵抗金属材料を使用している等のため電気比抵抗が $5\Omega\cdot\text{cm}$ 以下の低抵抗電極であり、

前記他方の下部ゲート電極若しくは上記ゲート電極は、

- 20 例えばW、Mo、Co、Ta、Au、Nb、Ag等の密度8以上の高密度金属材料若しくは水素との結合力の強いZrやTiやTi系金属を使用しているため、不純物注入時に打ち込まれる水素イオンのマスク能力の高い高マスク電極であることを特徴とする請求項67記載の基板。

- 25 69. シリサイド若しくはシリサイド層を有する多層構造からなるゲート電極を有するボトムゲート型半導体。

70. 基板上にパターン化して配列されたトップゲート型のLDD構造を有する薄膜半導体素子の製造方法であって、

基板上的パターン化された半導体層の上部に形成されたゲート絶縁膜上に所定形状のゲート電極を形成するゲート電極形成ステップ

5 と、

上記形成されたゲート電極を利用して、そのソース電極側とドレイン電極側の少くも一方端に上記ゲート絶縁膜除去時にエッチングマスクとなる側部をゲート電極に密接して形成するエッチングマスク形成ステップと、

10 上記形成されたゲート電極とその側部エッチングマスクをエッチングマスクとして使用してそれらの直下部を除くゲート絶縁膜を一旦除去するゲート絶縁膜除去ステップと、

上記ゲート電極とその下方部に存在するゲート絶縁膜若しくはそれらに加えてゲート電極の側部のエッチングマスクをマスクとして

15 不純物を打ち込む打ち込みステップと、

除去した部分のゲート絶縁膜を再度形成するゲート絶縁膜再生ステップとをゆうしていることを特徴とするトップゲート型のLDD構造の薄膜半導体素子の製造方法。

71. 前記エッチングマスク形成ステップは、

20 ゲート電極を一方の電極として所定の金属をメッキにより付着させるメッキ利用エッチングマスク形成ステップであることを特徴とする請求項70記載のトップゲート型のLDD構造の薄膜半導体素子の製造方法。

25

図1

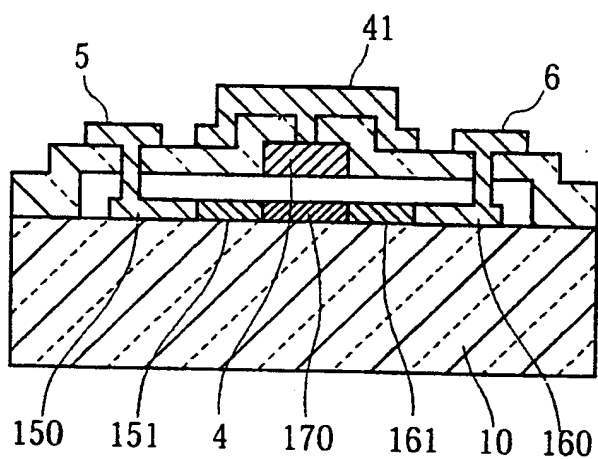
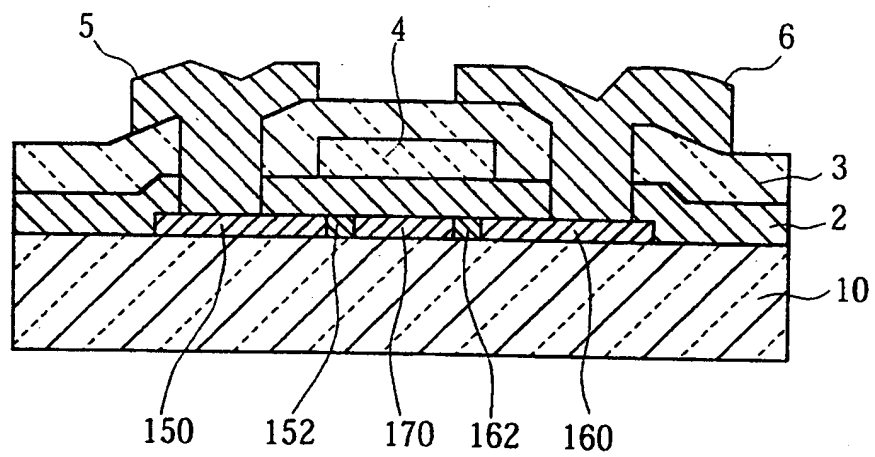


図2



3

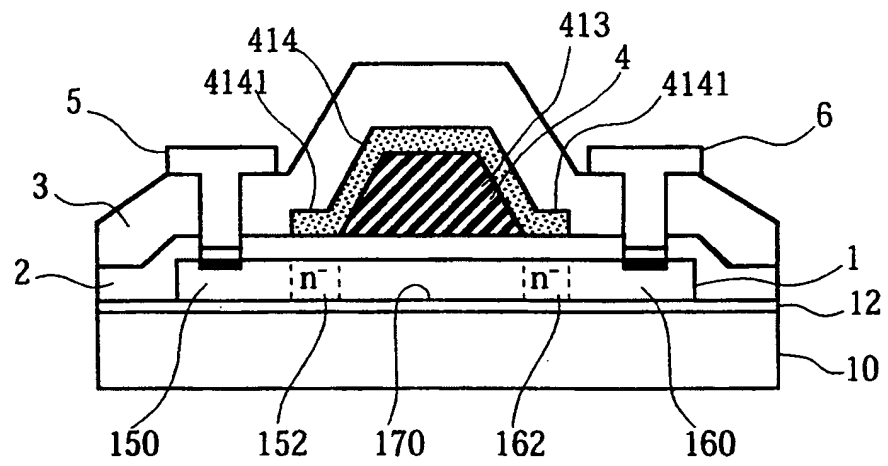


図4

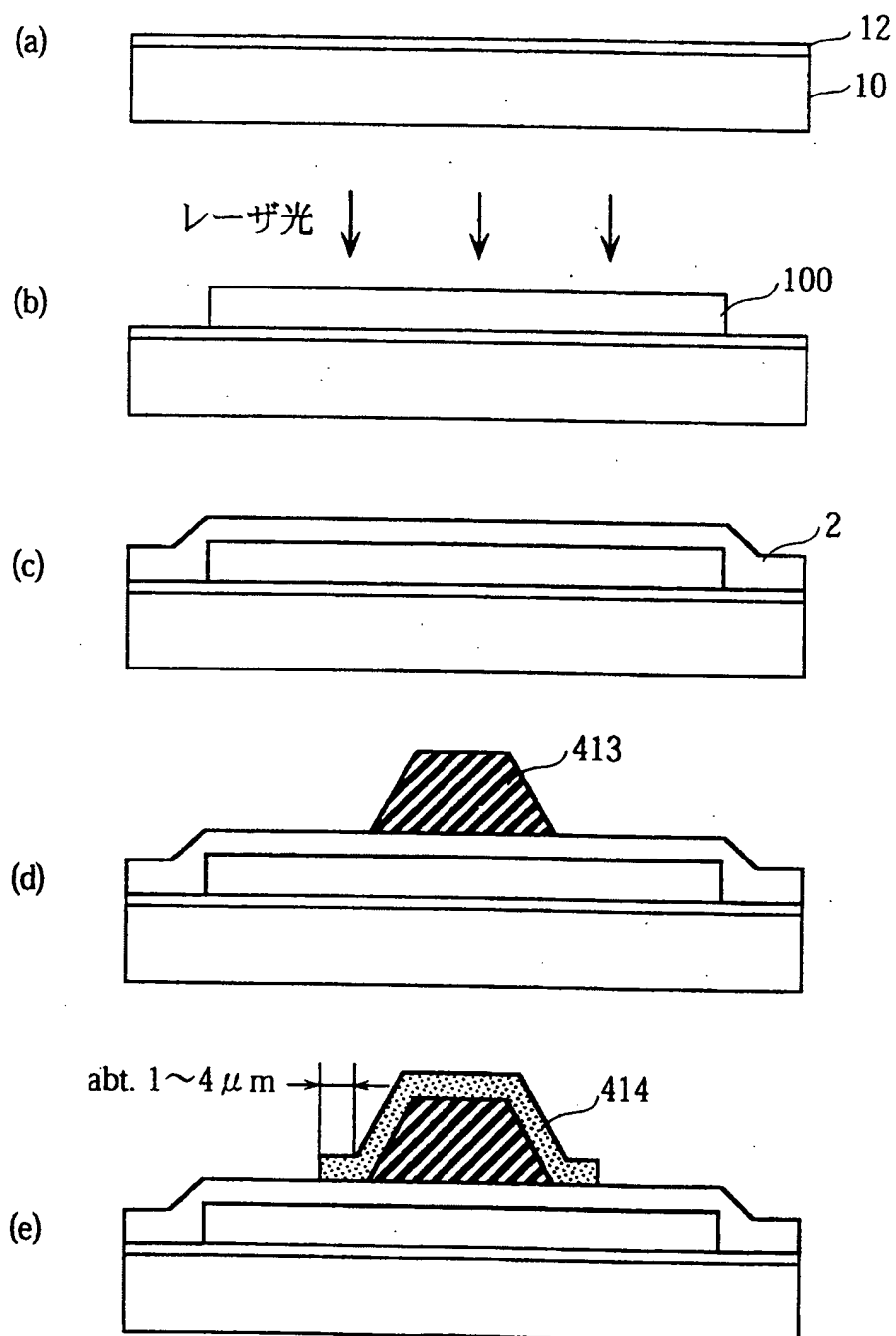


図5

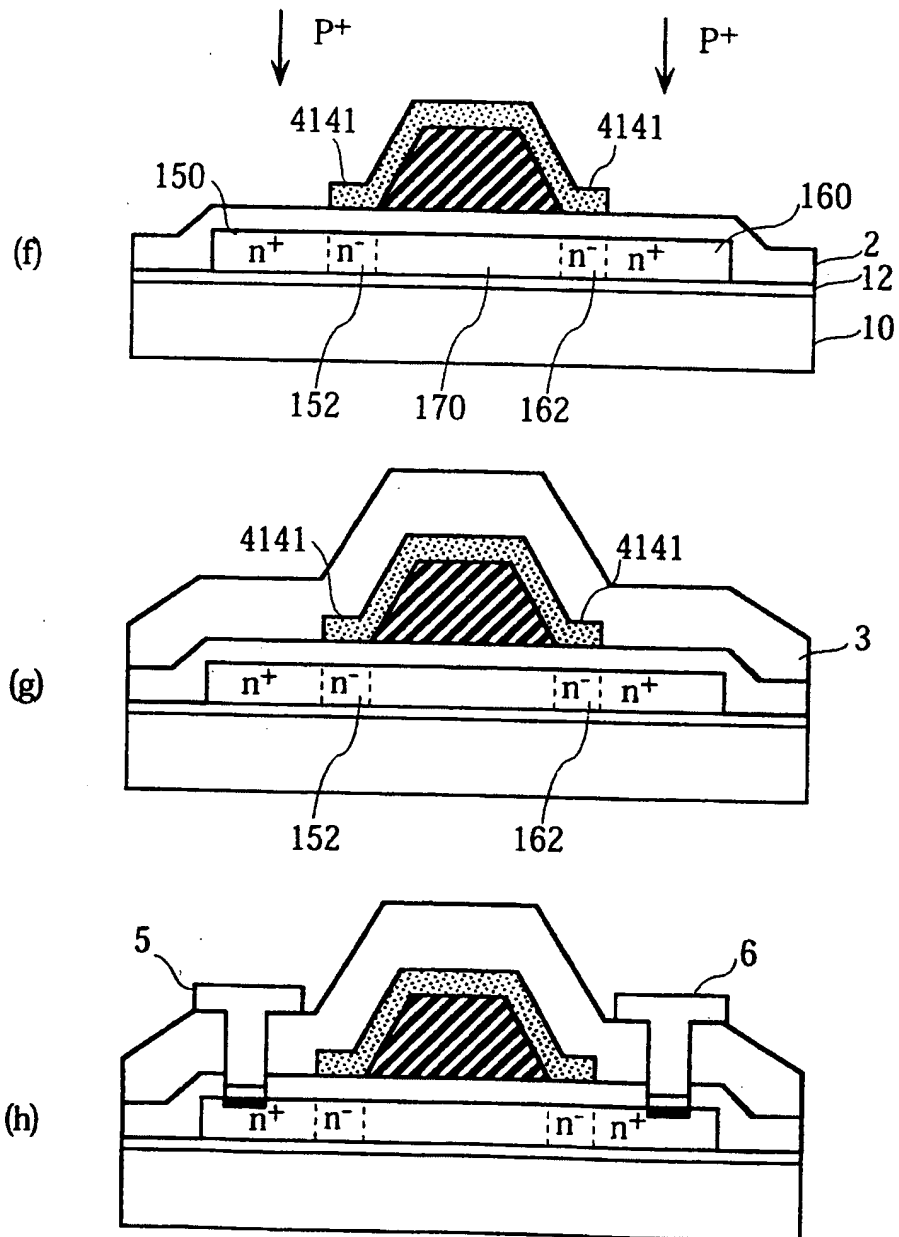
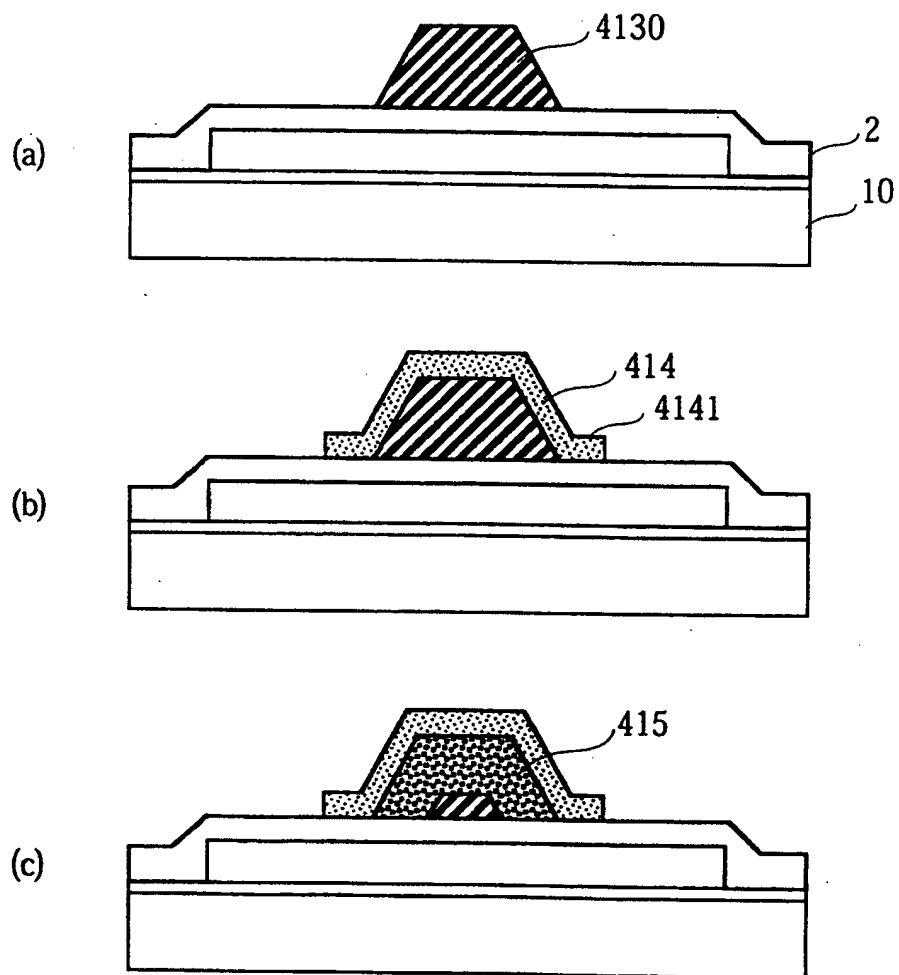




図6



7

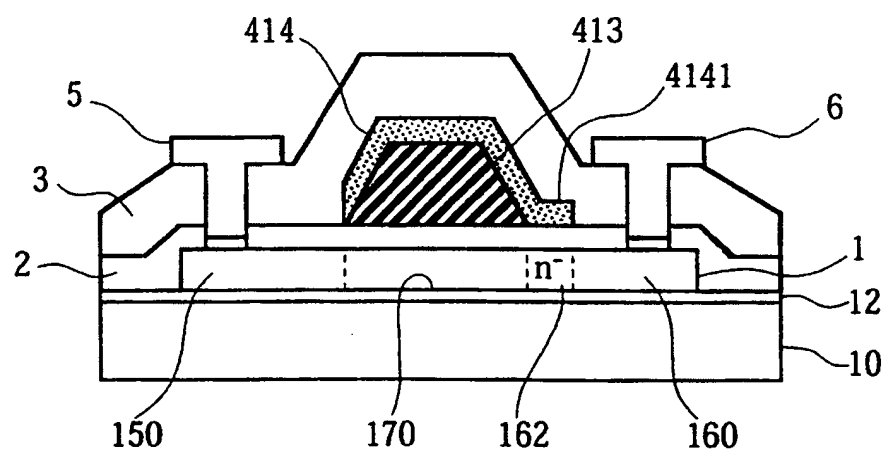


図8

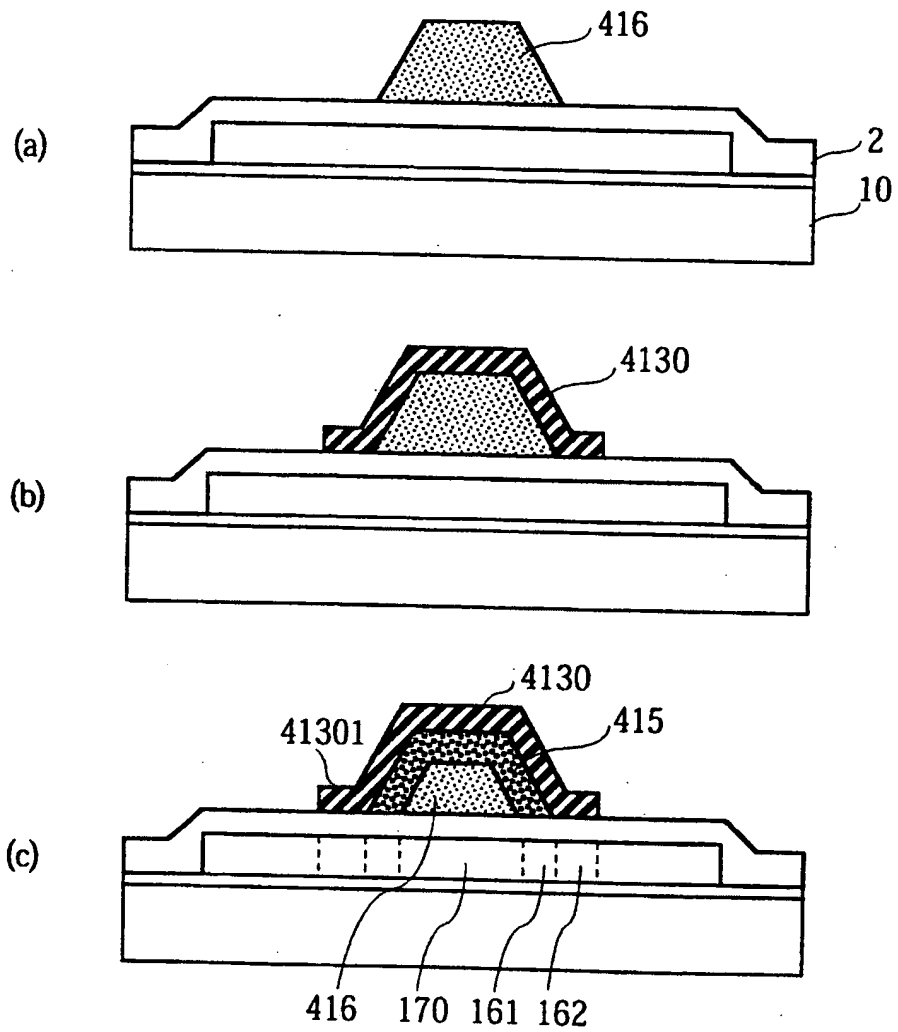


図9

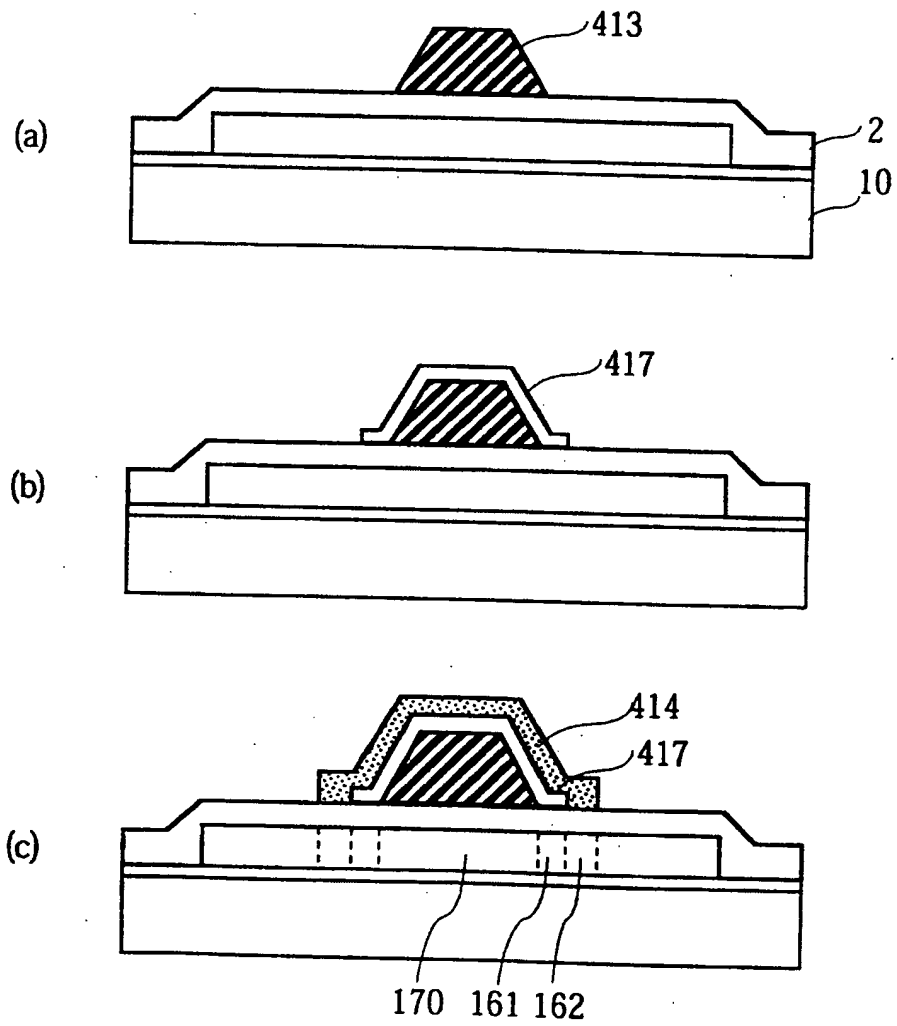


図10

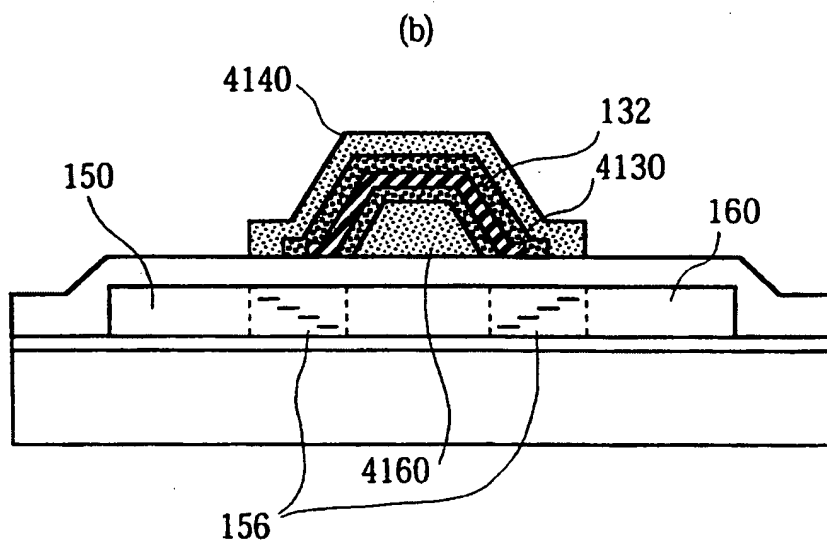
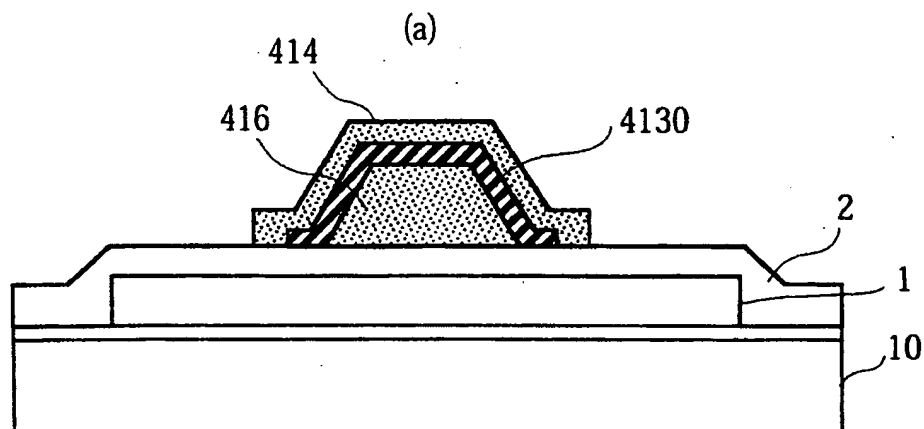


図11

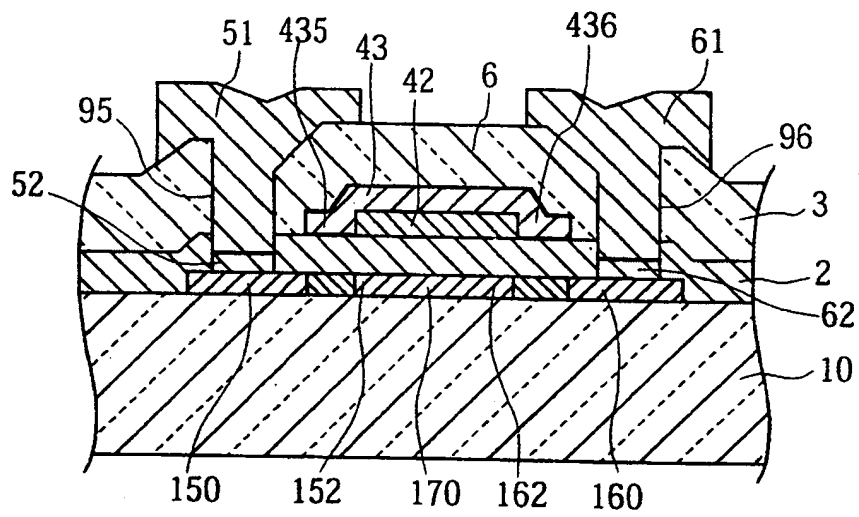


図12

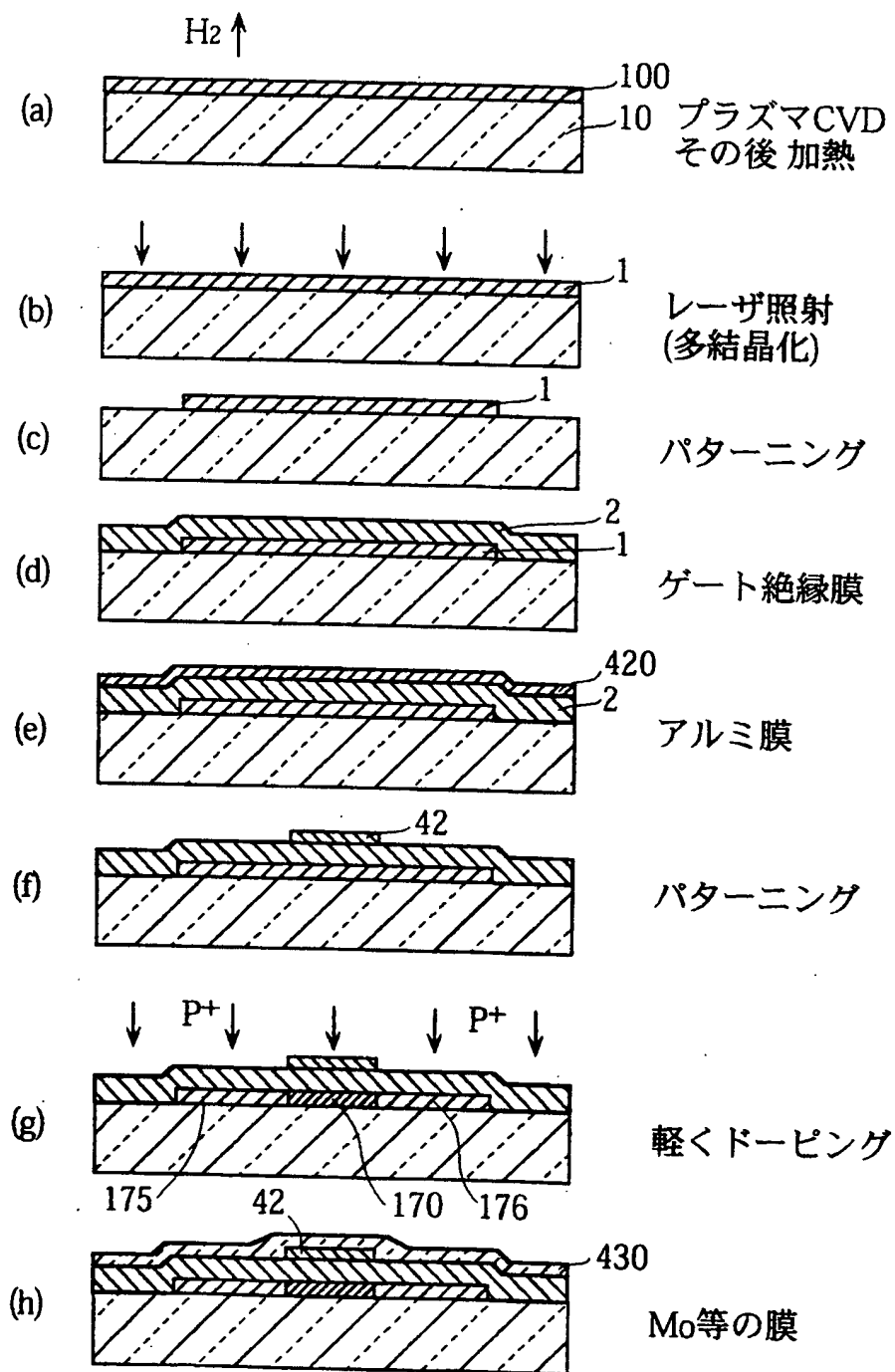


図13

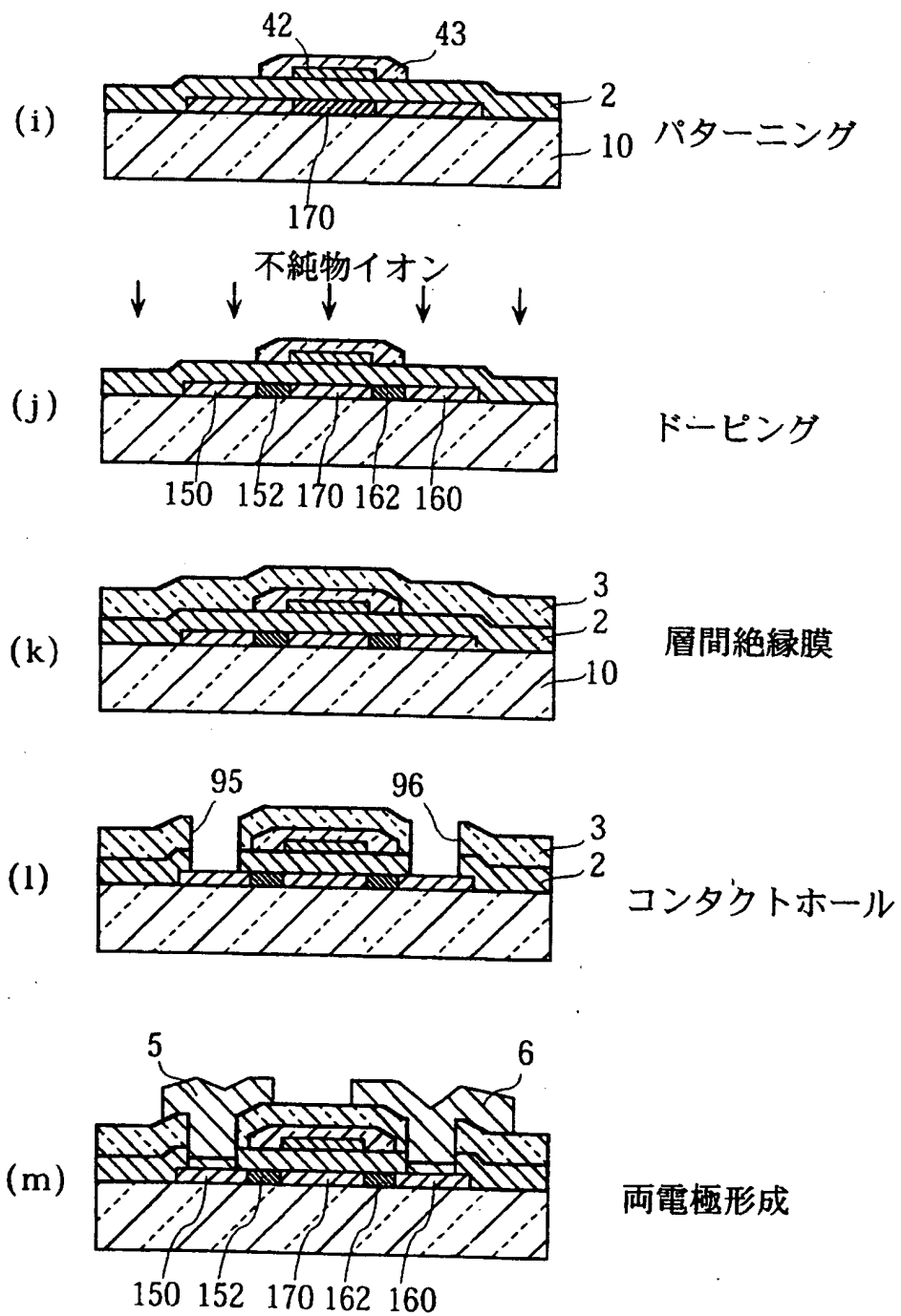




図14

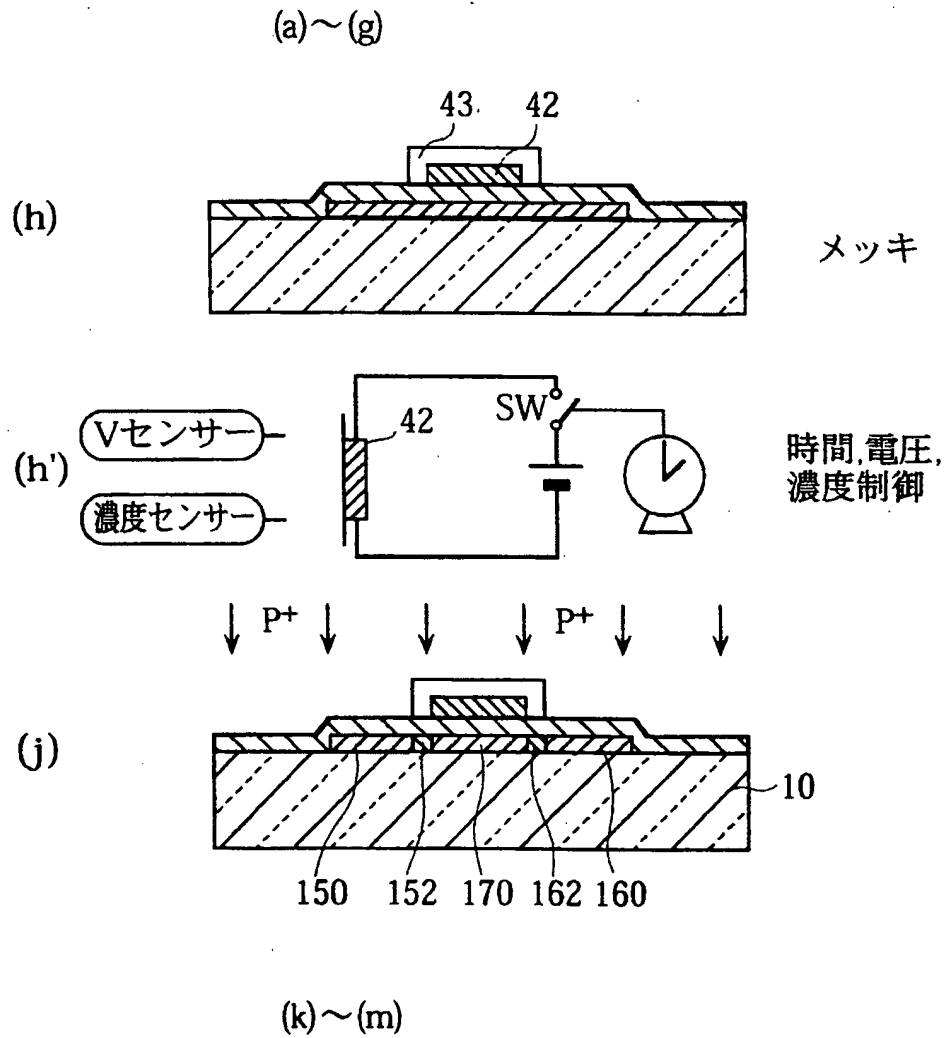


図15

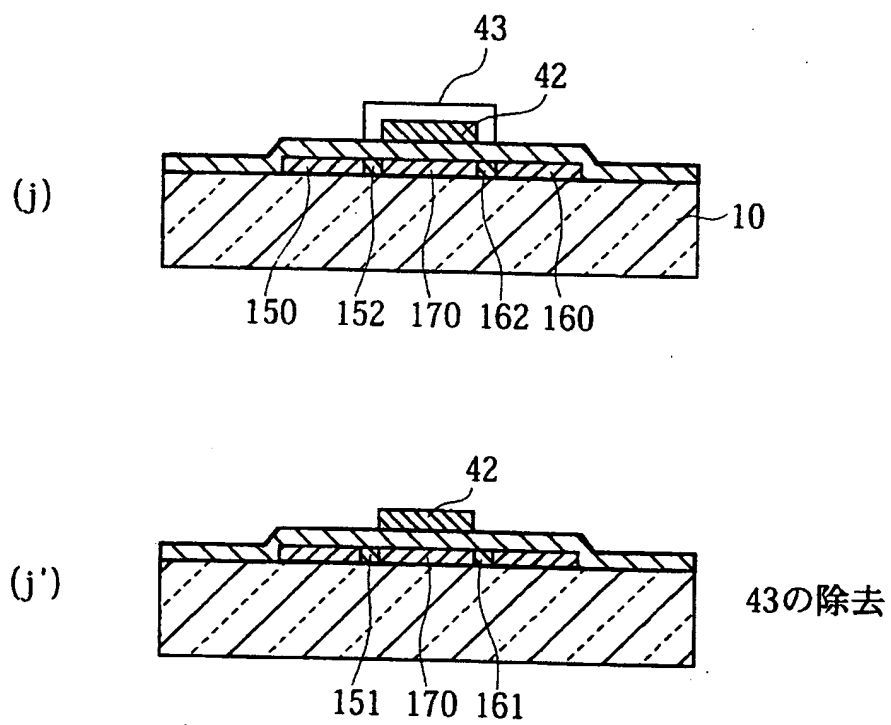
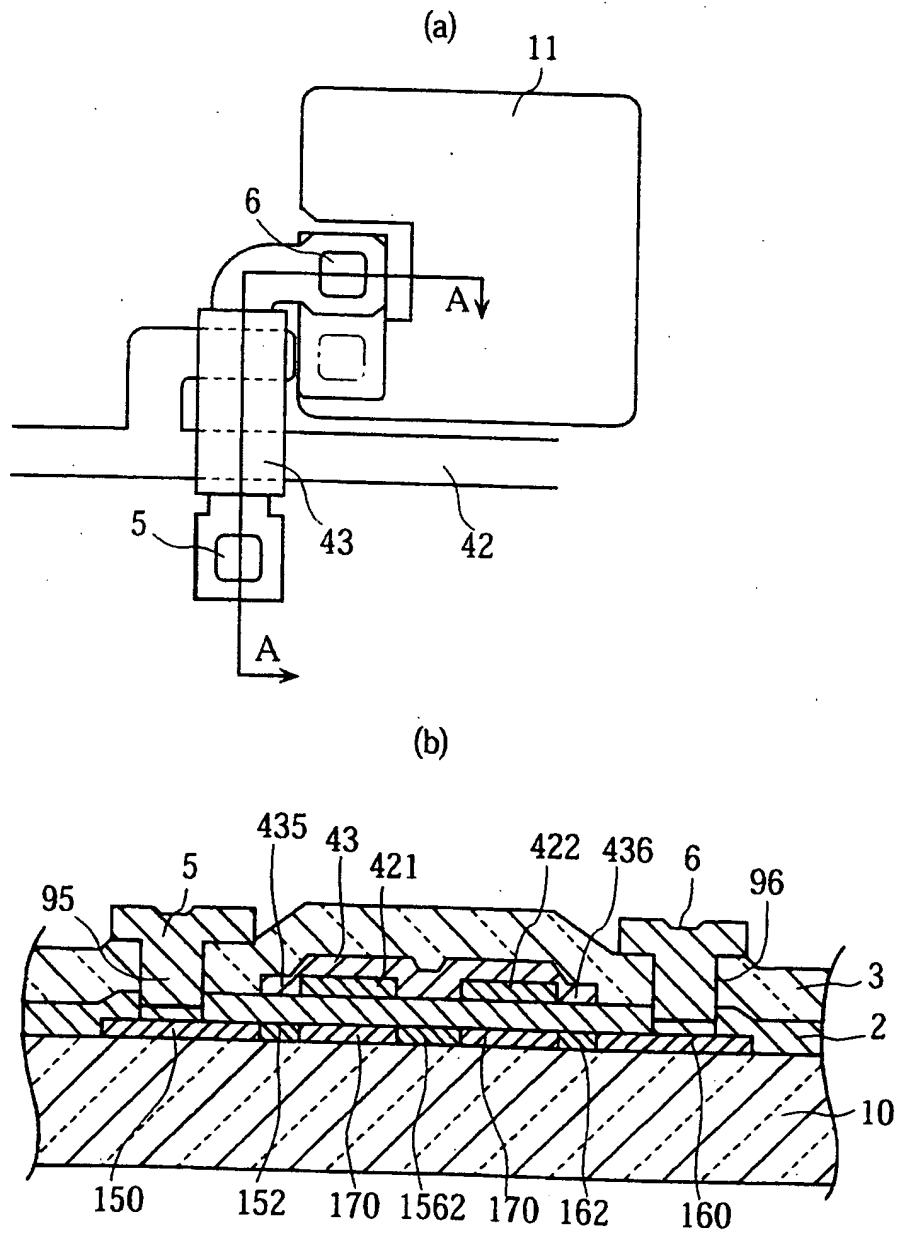
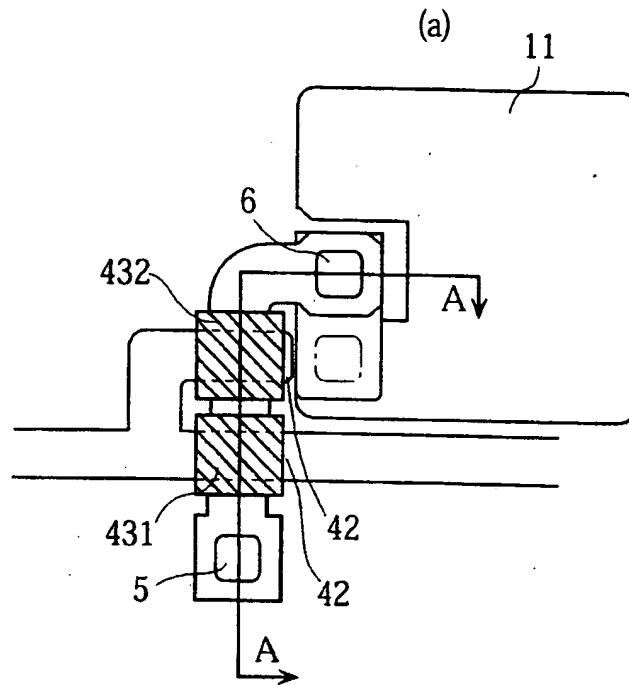


図16

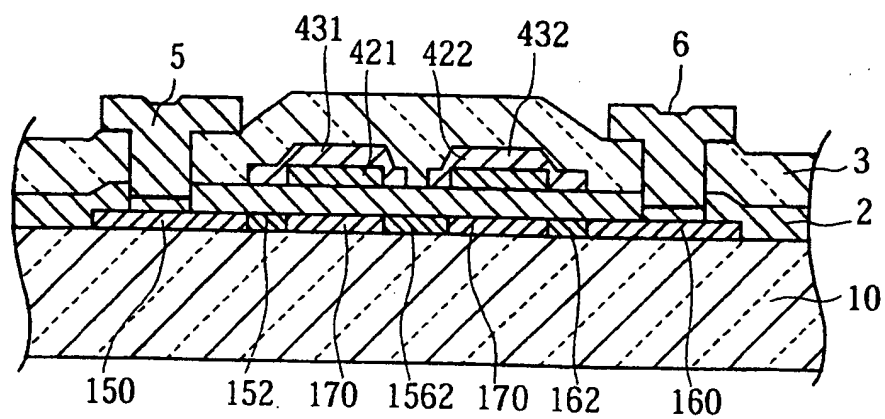


A-A断面

図17



(b)



A-A断面

図18

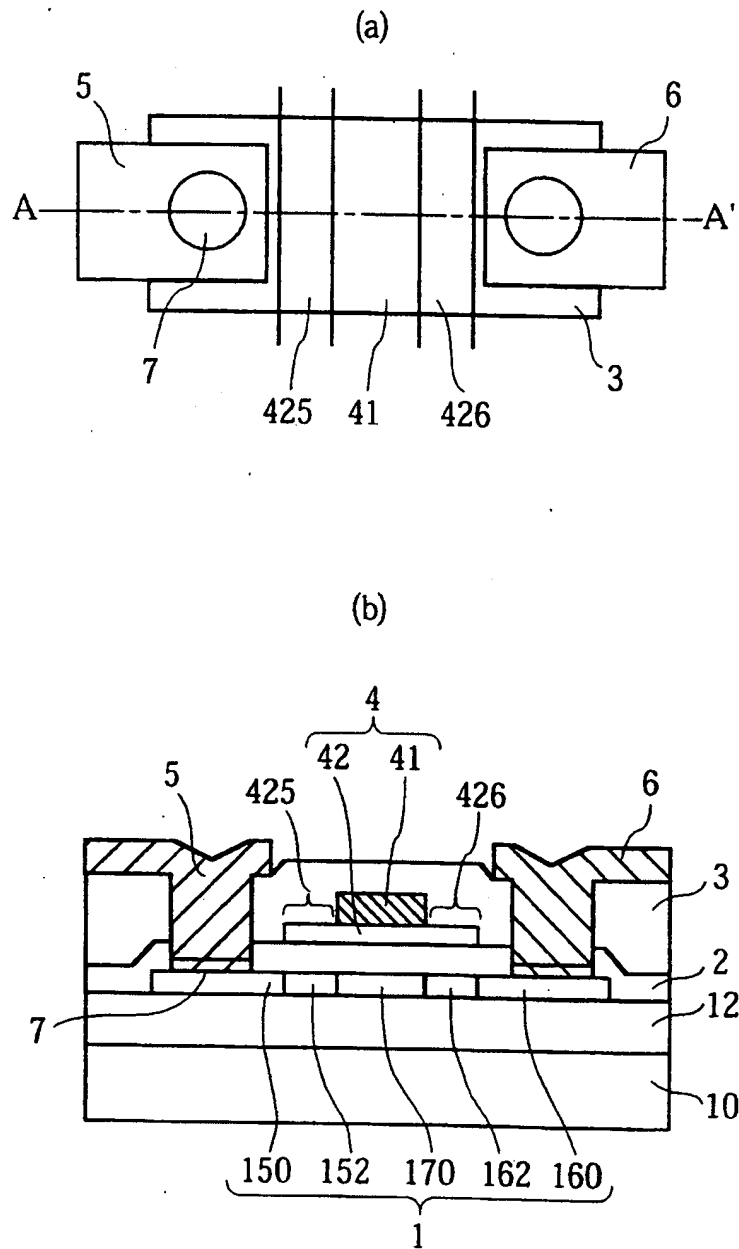


図19

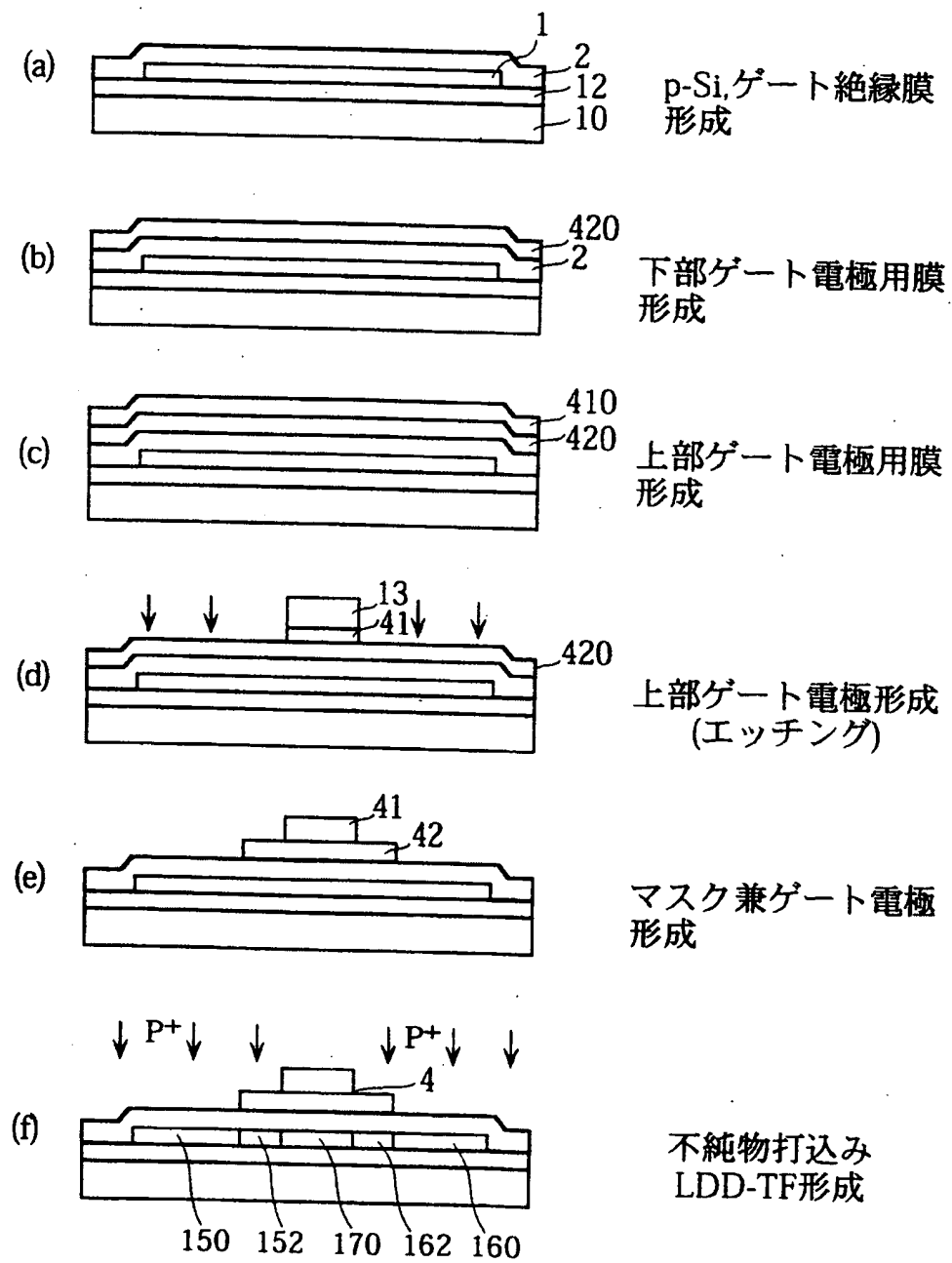


図20

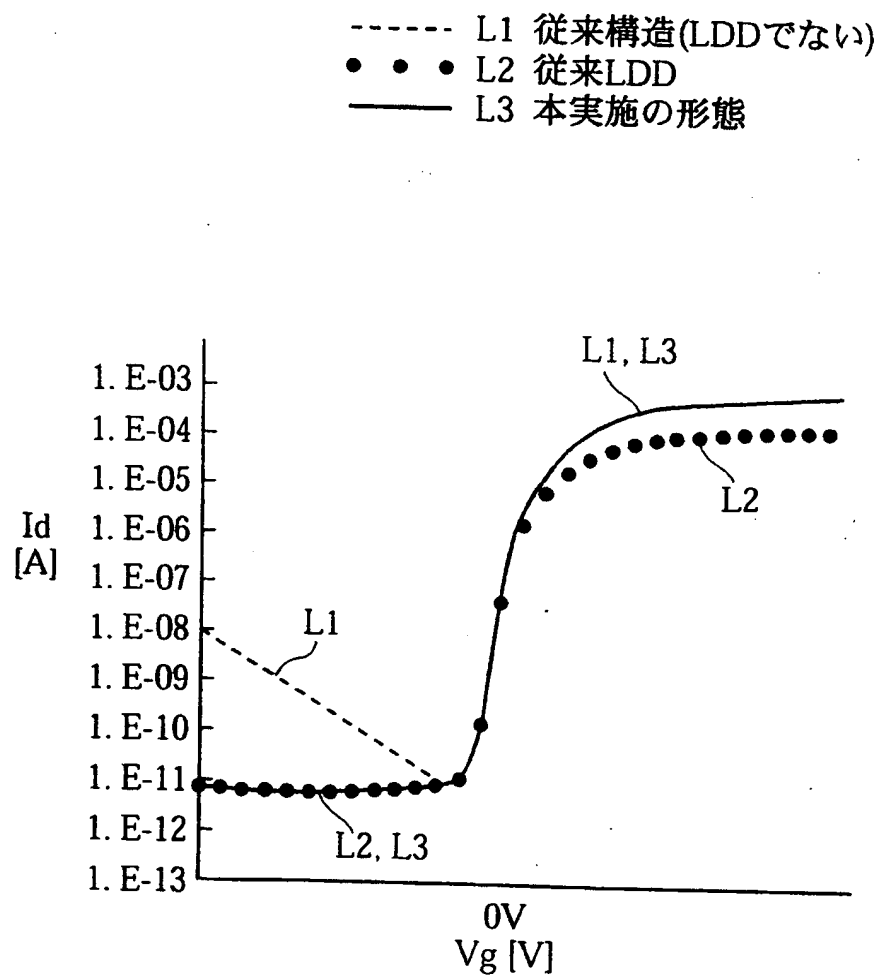
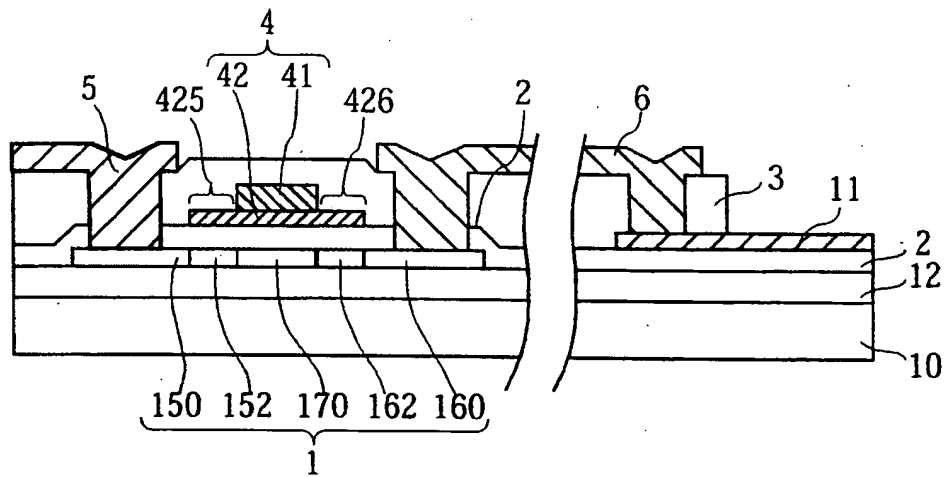


図21





22

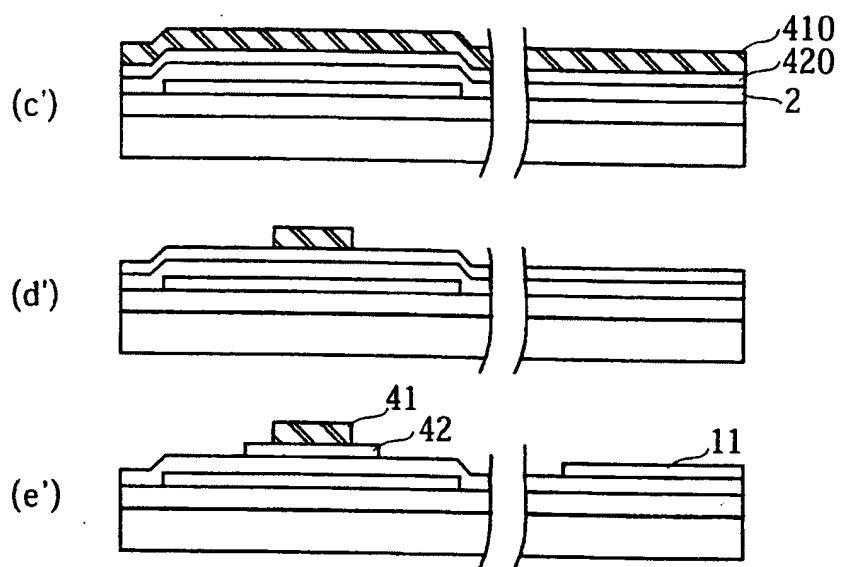


図23

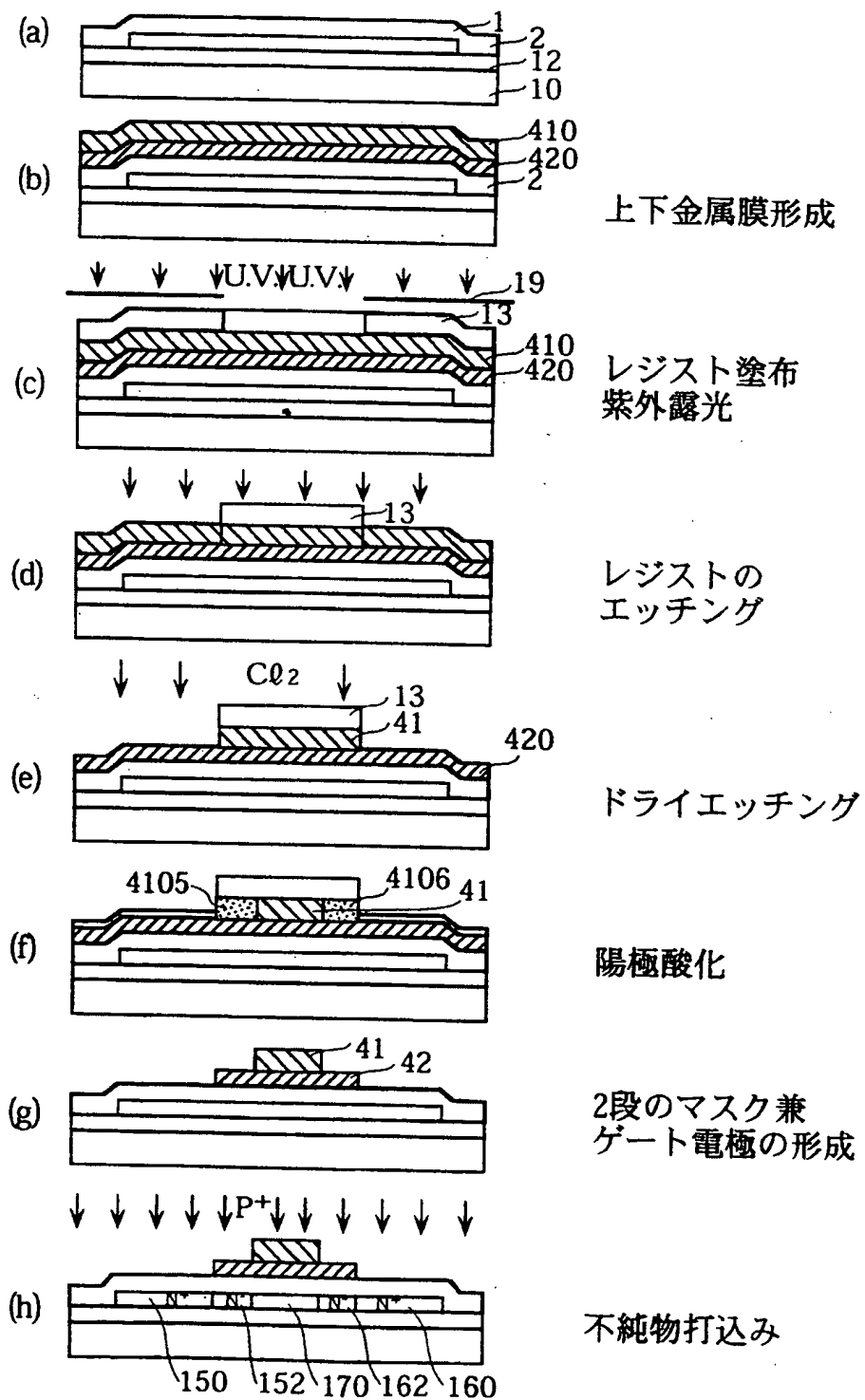


図24

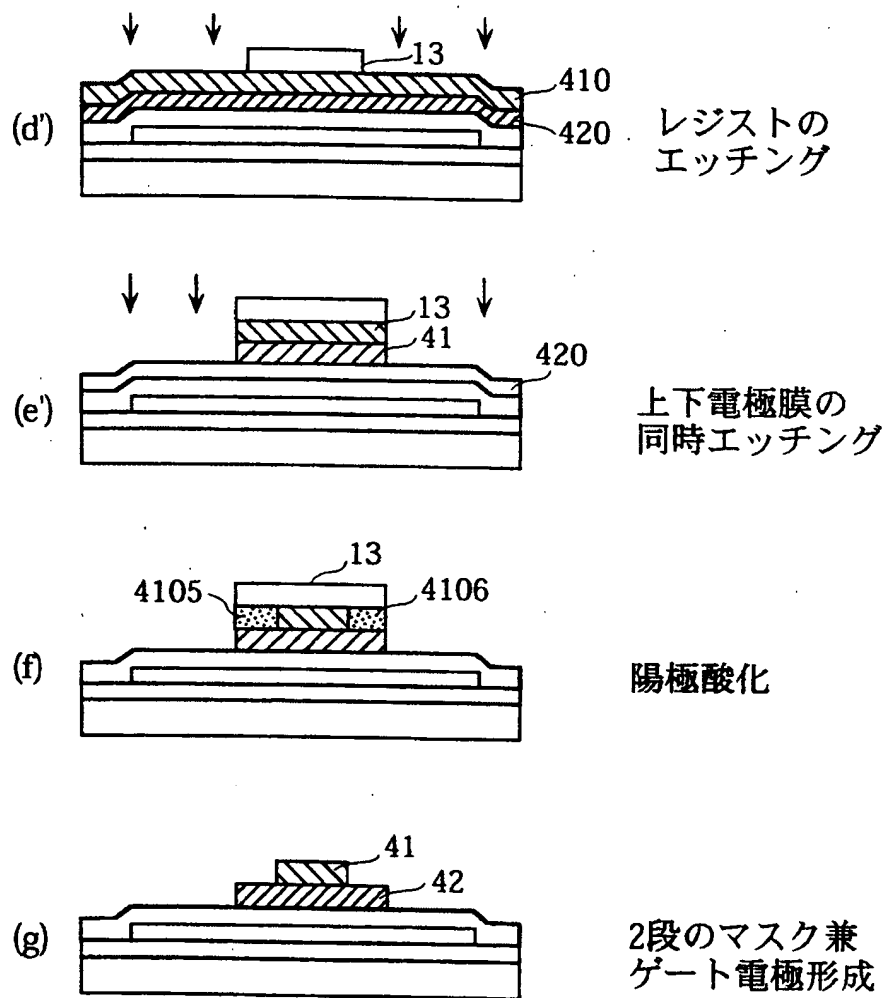


図25

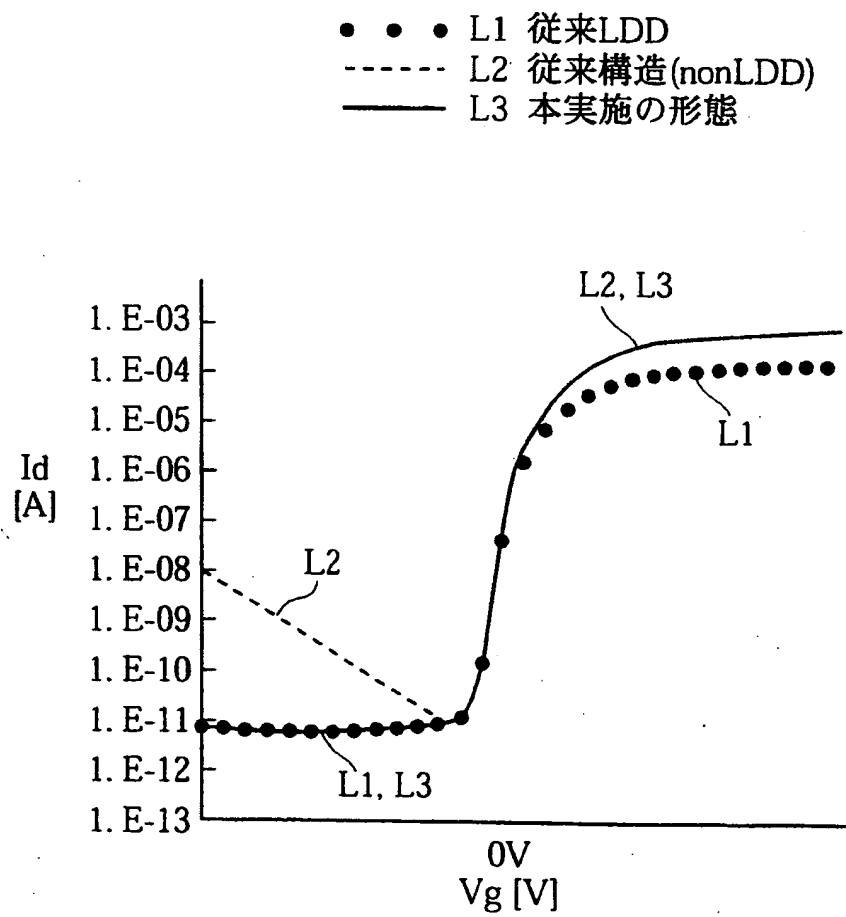


図26

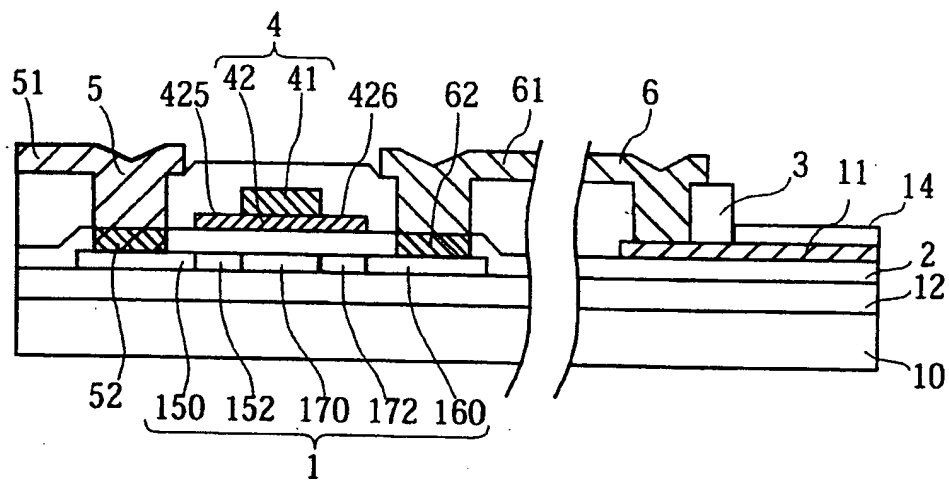
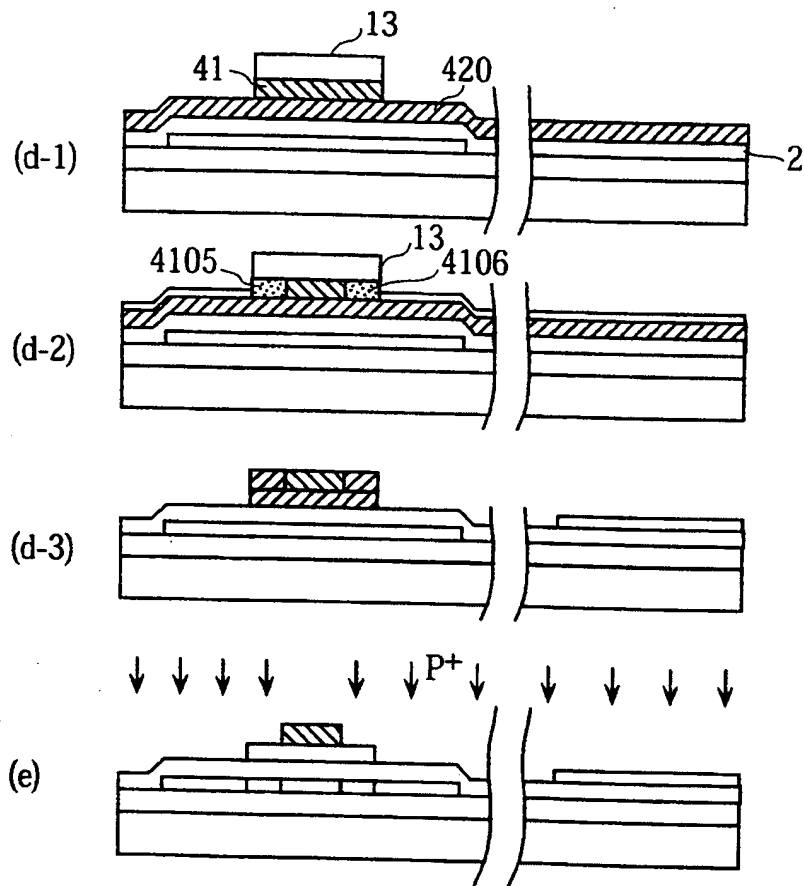


図27



28

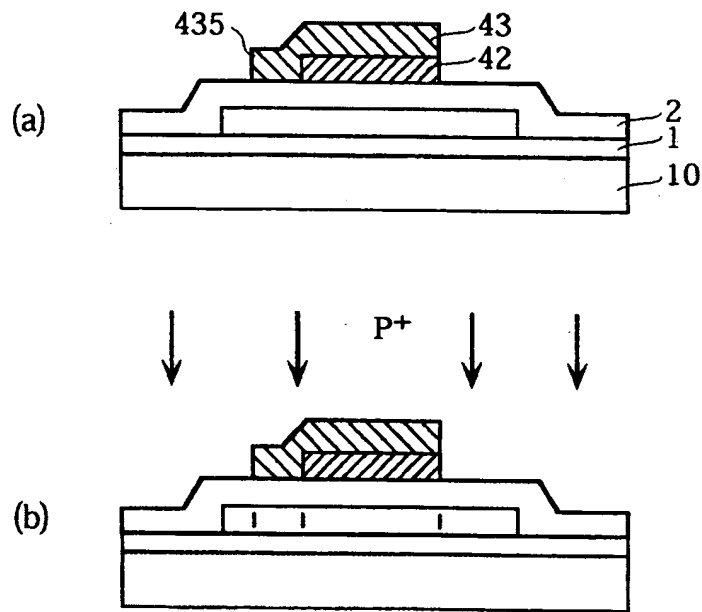


図29

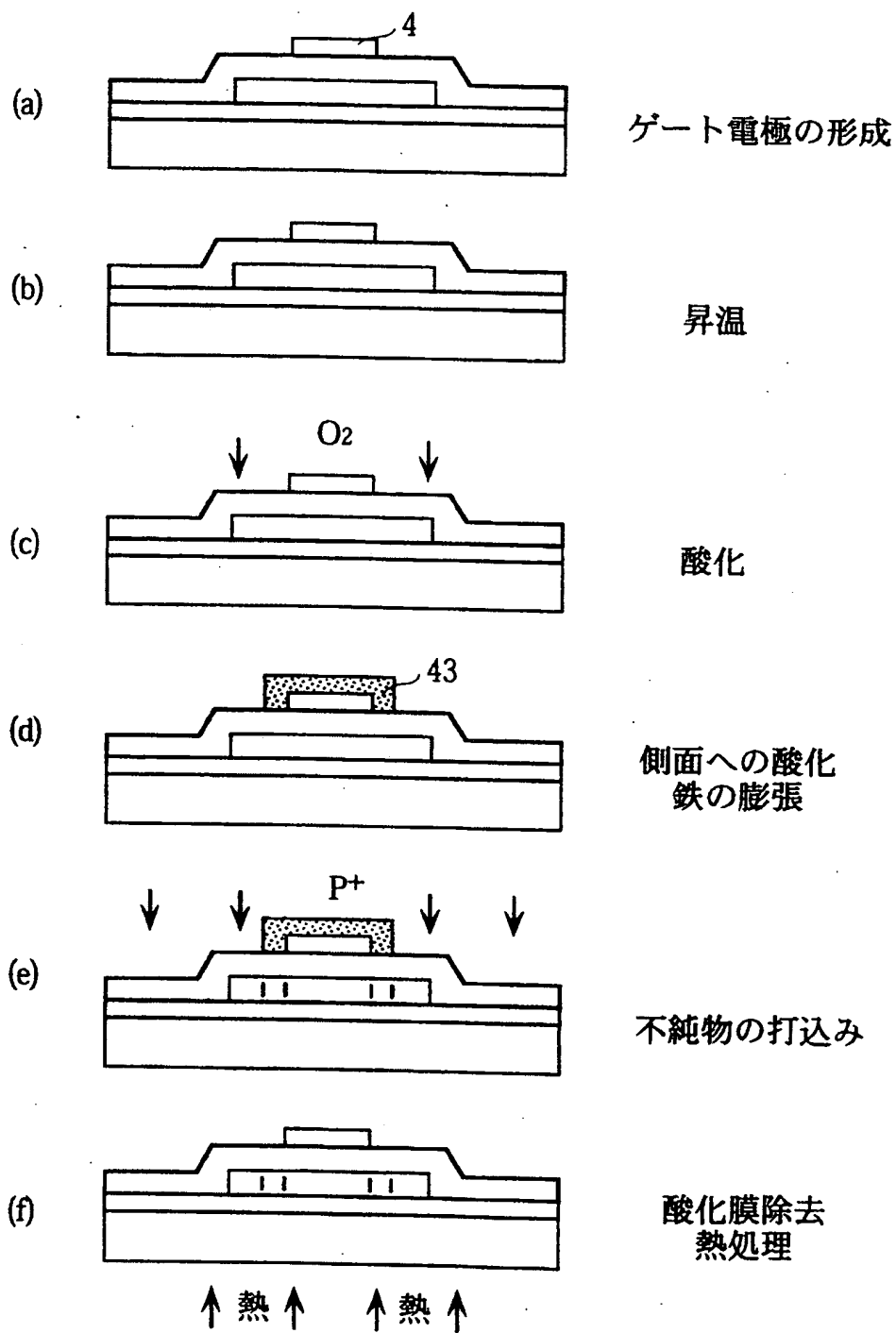




図30

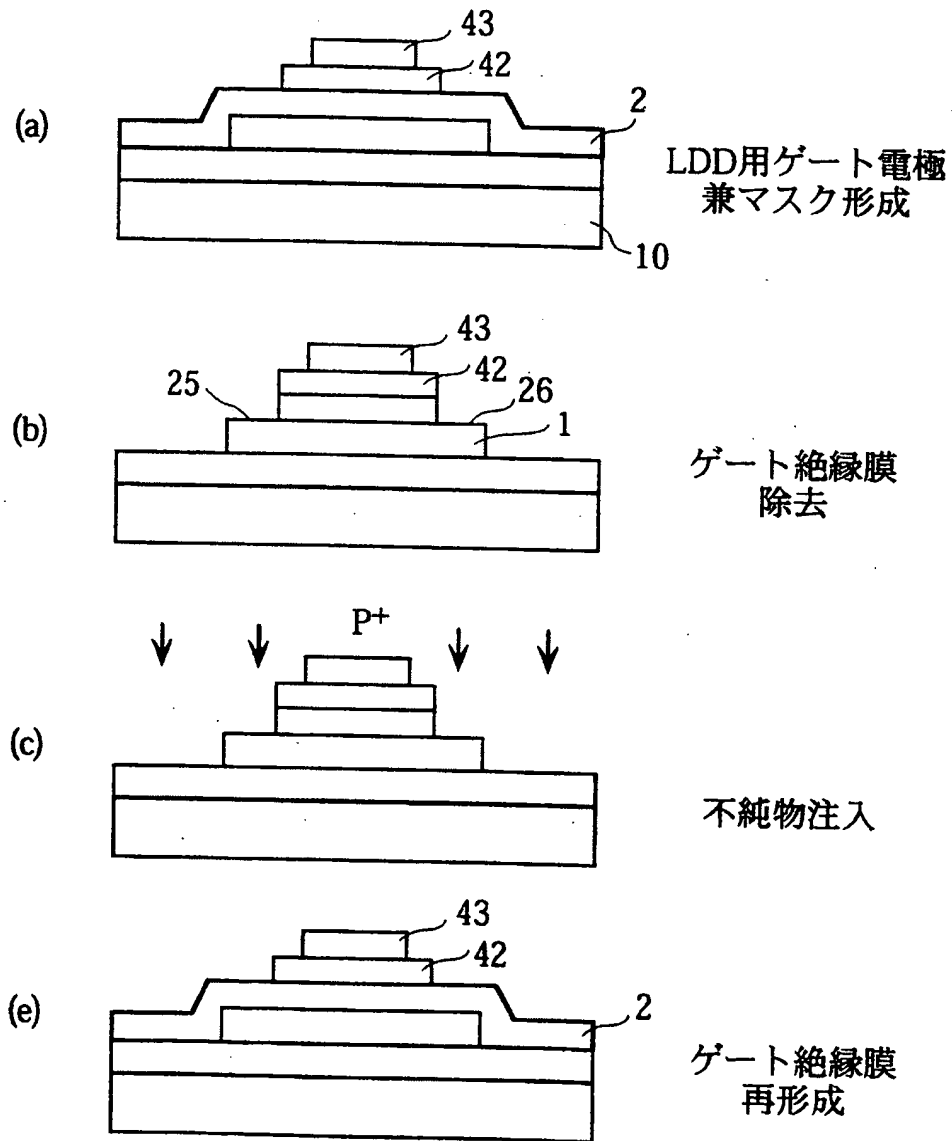


図31

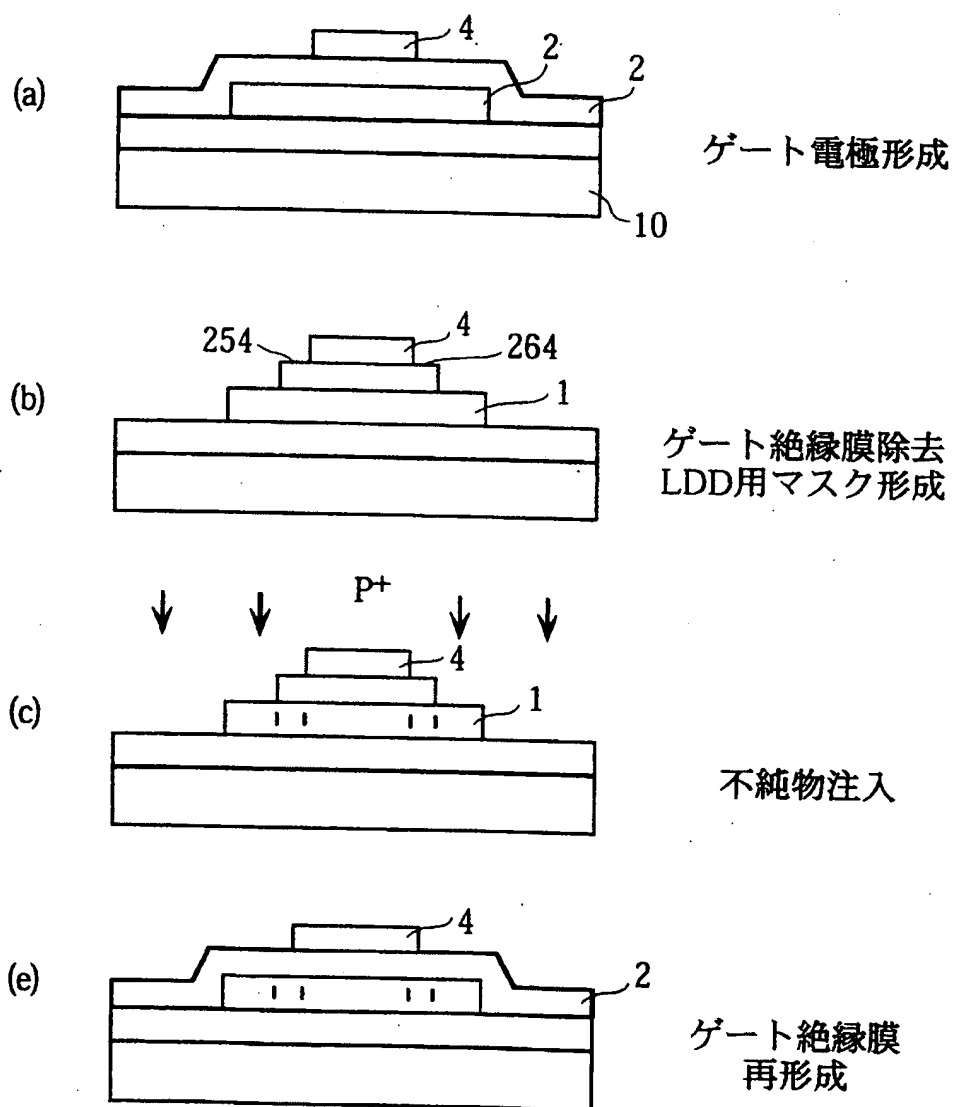


図32

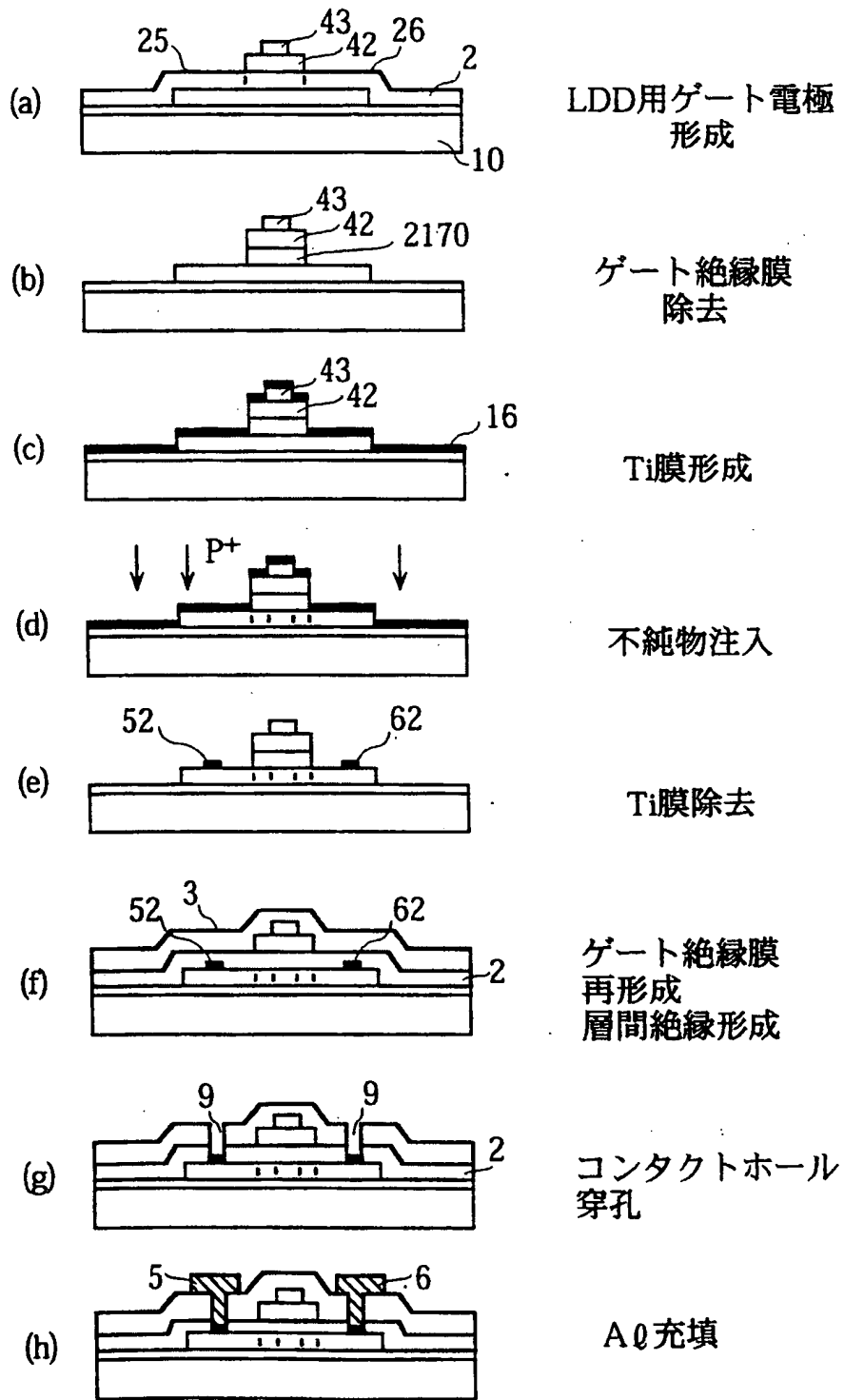
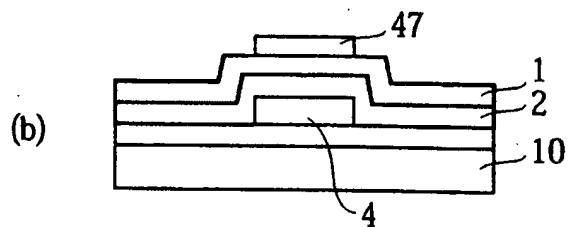
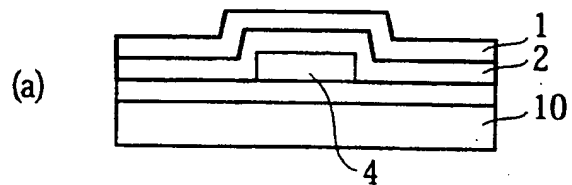
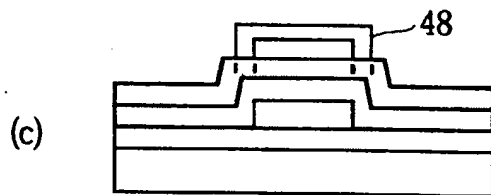


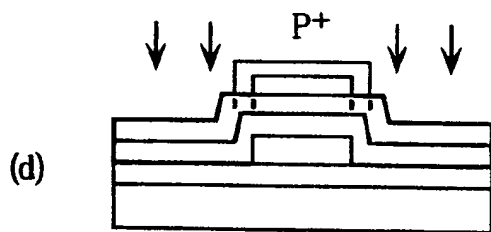
図33



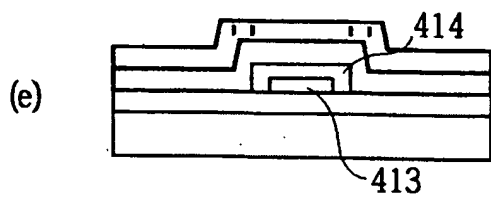
下部金属マスク形成



上部マスク形成

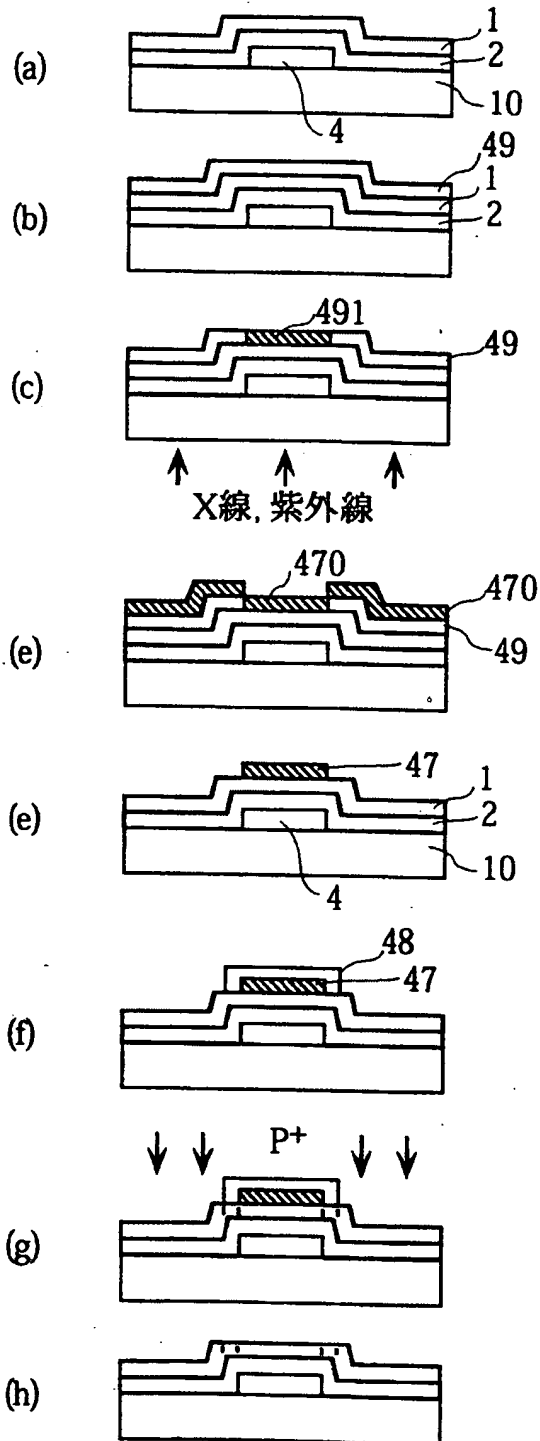


不純物打ち込み



マスク除去

図34



感光樹脂膜形成

露光

下部金属マスク形成

樹脂膜完全除去

マスク形成

不純物注入

マスク除去

図35

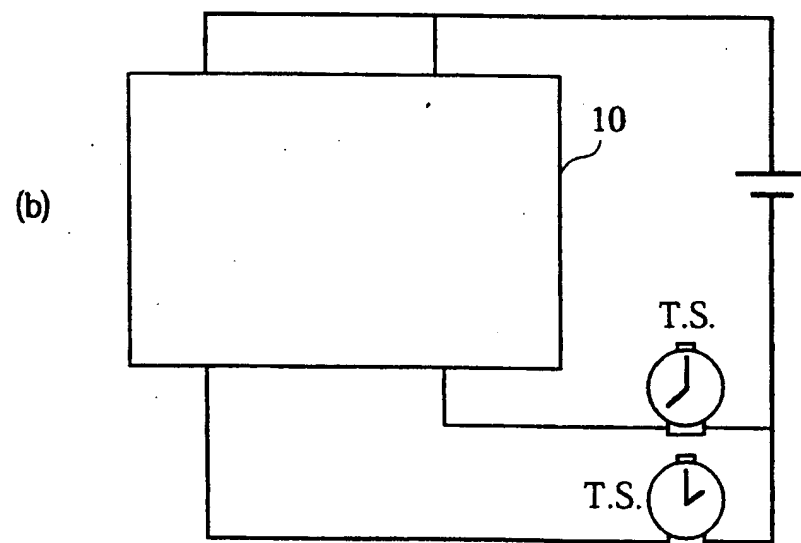
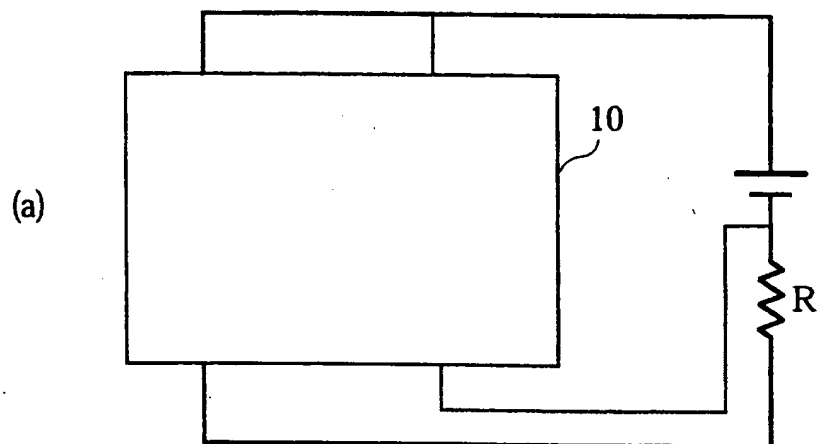
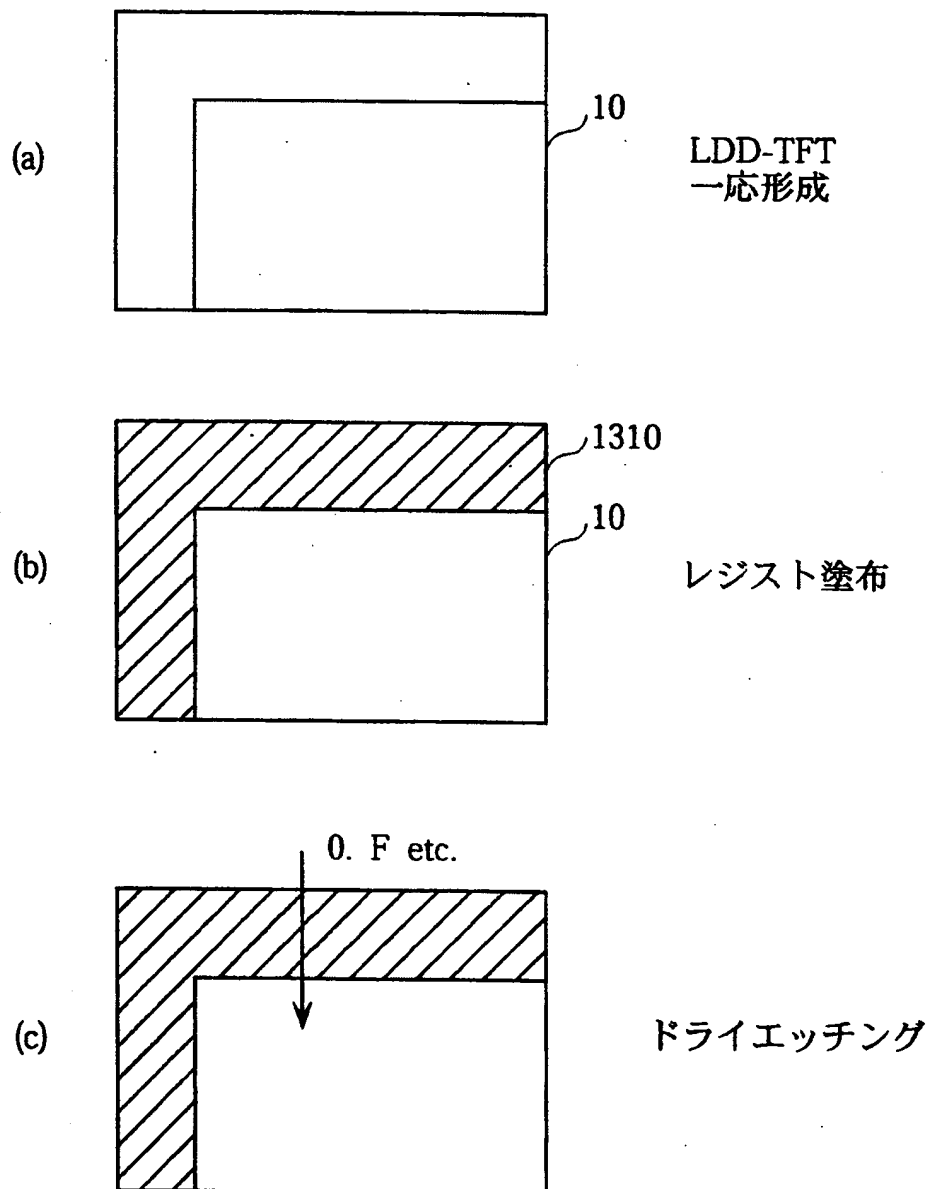


図36



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01441

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H01L29/786, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>7</sup> H01L29/786, H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000  
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 7-202210, A (Sharp Corporation), 04 August, 1995 (04.08.95), Par. Nos. [0008] - [0010]	13, 17, 19, 44, 50, 61, 64
Y	Par. Nos. [0008] - [0010] (Family: none)	1-10, 67, 68
Y	JP, 8-116065, A (Sony Corporation), 07 May, 1996 (07.05.96), Par. Nos. [0009] - [0021] (Family: none)	1, 5-10
Y	JP, 8-181302, A (Sharp Corporation), 12 July, 1996 (12.07.96), Par. Nos. [0023] - [0049] (Family: none)	7-9
X	JP, 9-55508, A (Sanyo Electric Co., Ltd.), 25 February, 1997 (25.02.97), Par. Nos. [0020] - [0021] (Family: none)	10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed  
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
12 June, 2000 (12.06.00)

Date of mailing of the international search report  
20.06.00

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01441

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 7-321329, A (Matsushita Electric Ind. Co., Ltd.), 08 December, 1995 (08.12.95), Par. Nos. [0023]-[0032] (Family: none)	13, 45, 50, 61, 64
Y	Par. Nos. [0023]-[0032] (Family: none)	67, 68
X	US, 5523257, A (Semiconductor Energy Lab. Co., Ltd.), 06 April, 1996 (06.04.96), Full text & JP, 6-216156, A, Full text & CN, 1093491, A	13, 15, 16, 18, 25, 45, 46
X	JP, 10-261798, A (SEIKO EPSON CORPORATION), 29 September, 1998 (29.09.98), Par. Nos. [0024]-[0044] (Family: none)	14, 18, 19, 24, 45
X	JP, 10-223907, A (Toshiba Corporation), 21 August, 1998 (21.08.98), Par. Nos. [0024]-[0043] (Family: none)	14
X	JP, 3-4566, A (NEC Corporation), 10 January, 1991 (10.01.91), Full text (Family: none)	28, 30, 35
Y	JP, 6-88972, A (Sony Corporation), 29 March, 1994 (29.03.94), Full text (Family: none)	67, 68
X	JP, 57-204168, A (Matsushita Electric Ind. Co., Ltd.), 14 December, 1982 (14.12.82), Claims (Family: none)	69
X	JP, 60-9167, A (Matsushita Electric Ind. Co., Ltd.), 18 January, 1985 (18.01.85), Claims (Family: none)	69
A	JP, 61-97864, A (Asahi Glass Co., Ltd.), 16 May, 1986 (16.05.86), Full text (Family: none)	54-57

## 国際調査報告

国際出願番号 PCT/JPO0/01441

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> H01L29/786, H01L21/336		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> H01L29/786, H01L21/336, H01L29/78		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2000年 日本国登録実用新案公報 1994-2000年 日本国実用新案登録公報 1996-2000年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 7-202210, A (シャープ株式会社) 4. 8月. 1995 (04. 08. 95) 段落番号【0008】-【0010】	13, 17, 19, 44, 50, 61, 64
Y	段落番号【0008】-【0010】 (ファミリーなし)	1-10, 67, 68
Y	J P, 8-116065, A (ソニー株式会社) 7. 5月. 1996 (07. 05. 96) 段落番号【0009】-【0021】 (ファミリーなし)	1, 5-10
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 12. 06. 00	国際調査報告の発送日 20.06.00	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 河本 充雄 印	4M 2934
電話番号 03-3581-1101 内線 3498		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 8-181302, A (シャープ株式会社) 12. 7月. 1996 (12. 07. 96) 段落番号【0023】-【0049】 (ファミリーなし)	7-9
X	J P, 9-55508, A (三洋電機株式会社) 25. 2月. 1997 (25. 02. 97) 段落番号【0020】-【0021】 (ファミリーなし)	10
X	J P, 7-321329, A (松下電器産業株式会社) 8. 12月. 1995 (08. 12. 95) 段落番号【0023】-【0032】 (ファミリーなし)	13, 45, 50, 61, 64
Y	段落番号【0023】-【0032】 (ファミリーなし)	67, 68
X	US, 5523257, A (株式会社半導体エネルギー研究所) 6. 4月. 1996 (06. 04. 96) 全文 & J P, 6-216156, A, 全文& CN, 1093491, A	13, 15, 16, 18, 25, 45, 46
X	J P, 10-261798, A (セイコーエプソン株式会社) 29. 9月. 1998 (29. 09. 98) 段落番号【0024】-【0044】 (ファミリーなし)	14, 18, 19, 24, 45
X	J P, 10-223907, A (株式会社東芝) 21. 8月. 1998 (21. 08. 98) 段落番号【0024】-【0043】 (ファミリーなし)	14
X	J P, 3-4566, A (日本電気株式会社) 10. 1月. 1991 (10. 01. 91) 全文 (ファミリーなし)	28, 30, 35
Y	J P, 6-88972, A (ソニー株式会社) 29. 3月. 1994 (29. 03. 94) 全文 (ファミリーなし)	67, 68
X	J P, 57-204168, A (松下電器産業株式会社) 14. 12月. 1982 (14. 12. 82) 特許請求の範囲 (ファミリーなし)	69
X	J P, 60-9167, A (松下電器産業株式会社) 18. 1月. 1985 (18. 01. 85) 特許請求の範囲 (ファミリーなし)	69
A	J P, 61-97864, A (旭硝子株式会社) 16. 5月. 1986 (16. 05. 86) 全文 (ファミリーなし)	54-57